

IPW

BEST AVAILABLE COPY

PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/710,398	
	Filing Date	7/8/2004	
	First Named Inventor	Yung-Chun Lei	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	MTKP0068USA

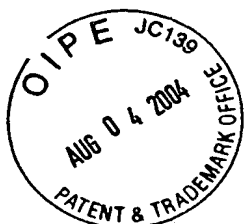
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	8/2/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number 10/710,398
Filing Date 7/8/2004
First Named Inventor Yung-Chun Lei
Examiner Name
Art Unit
Attorney Docket No. MTKP0068USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number 50-3105
Deposit Account Name North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type) Winston Hsu Registration No. 41,526 Telephone 886289237350
Signature [Signature] (Attorney/Agent) Date 8/2/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092118757	Taiwan R.O.C	07/09/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 07 月 09 日
Application Date

申請案號：092118757
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 17 日
Issue Date

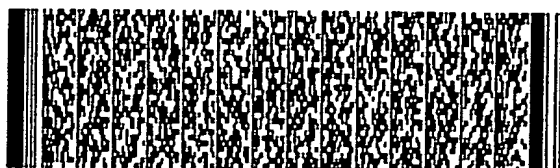
發文字號：09221050630
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	應用跳躍式浮點數運算法之數位訊號處理器
	英 文	DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC
二、 發明人 (共3人)	姓 名 (中文)	1. 雷永群 2. 陳玉銖 3. 張祐齊
	姓 名 (英文)	1. Lei, Yung-Chun 2. Chen, Yu-Chu 3. Chang, Yu-Chi
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹市東區豐功里二十四鄰建中一路三十一號十八樓之三 2. 新竹市寶山路一四五巷二十一號七樓 3. 桃園市長壽街八十四之二號
	住居所 (英 文)	1. 18F-3, No. 31, Chien-Chung I Rd. Hsin-Chu City, Taiwan, R.O.C. 2. 7F, No. 21, Lane 145, Pao-Shan Rd. Hsin-Chu City, Taiwan, R.O.C. 3. No. 84-2, Chang-Shou St., Tao-Yuan City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. MediaTek Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



四、中文發明摘要 (發明名稱：應用跳躍式浮點數運算法之數位訊號處理器)

本發明提供一種數位訊號處理器，用來處理具有一定點數表示法或一跳躍式浮點數表示法之複數筆數位資料。該數位訊號處理器包含有一乘法電路、一萃取位移裝置、複數個表示法轉換電路、以及一運算單元。乘法電路用來將二低位元數位資料相乘產生一高位元數位資料；萃取位移裝置電連於該乘法電路，用來將具有該跳躍式浮點數表示法之一高位元數位資料轉換為具有該定點數表示法之一高位元數位資料；每一表示法轉換電路係將一數位資料於該定點數表示法及該跳躍式浮點數表示法之間作轉換；運算單元用來運算該複數筆數位資料。

五、(一)、本案代表圖為：第 十一 圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC)

A digital signal processor for processing a plurality of data sets with a fixed point representation or a jumping floating point representation. The digital signal processor includes a multiplication circuit, an extracting/shifting device, a plurality of representation converters, and an arithmetic unit. The multiplication circuit is used to

四、中文發明摘要 (發明名稱：應用跳躍式浮點數運算法之數位訊號處理器)

70 數位訊號處理器
73 第五表示法轉換電路
76 乘法電路
78 萃取位移裝置
80 選擇運算模組
82 儲存裝置
89 選擇裝置

72 資料接收端
75 第六表示法轉換電路
77 萃取裝置
79 位移裝置
81 運算單元
86 資料寫入端

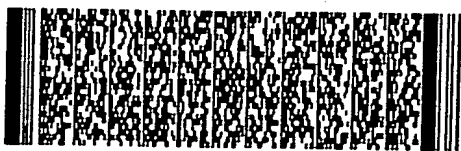
六、英文發明摘要 (發明名稱：DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC)

generate a high-bit number data set by multiplying two low-bit number data sets with each other. The extracting/shifting device is electrically connected to the multiplication circuit for transforming the high-bit number data set with the jumping floating point representation to a high-bit number data set with the fixed point representation. Each

四、中文發明摘要 (發明名稱：應用跳躍式浮點數運算法之數位訊號處理器)

六、英文發明摘要 (發明名稱：DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC)

representation converter is used to transform a data set between the fixed point representation and the jumping floating point representation. The arithmetic unit is used to operate a plurality of data sets.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種可處理複數筆數位資料之數位訊號處理器及相關方法，尤指一種利用一跳躍式浮點數運算法 (Jumping Floating Point Arithmetic)，將複數筆數位資料於一定點數表示法及一跳躍式浮點數表示法之間作轉換及運算的數位訊號處理器及相關方法。

先前技術

近十年以來，隨著超大型積體電路技術與計算機技術的快速發展，即時數位信號處理的迫切要求，電子資訊業界相繼推出了各種功能型式的數位訊號處理器 (Digital Signal Processor, DSP)。這些數位訊號處理器普遍具有靈活性佳、精確度高、功能強大等優點。數位訊號處理器的應用領域很廣，然而實際上，並沒有一個處理器即能完全滿足所有的或絕大多數應用需求，設計工程師在選擇數位訊號處理器時皆需根據性能、成本、整合度、開發的難易程度、以及功率消耗等因素進行綜合考慮。

概略而言，數位訊號處理器皆係用來處理數位資料，但不同的數位訊號處理器具有不同的特點，適用於不同的應用。一般數位訊號處理器可以分為定點數式 (Fixed

五、發明說明 (2)

Point DSP)與浮點數式數位訊號處理器 (Floating Point DSP)，這樣的區分是依據數位訊號處理器所處理之數位資料的型式及對應之運算法。定點數式數位訊號處理器使用定點數運算法，所處理的數位資料採用定點數表示法 (Fixed Point Representation)，「定點數」是指於數位資料中的小數點之位置固定，而具有定點數表示法的數位資料即分別視其中之小數點的位置，可表示為整數或 -1.0 到 $+1.0$ 之間的小數形式。浮點數式數位訊號處理器則使用浮點數運算法，所處理的數位資料採用浮點數表示法 (Floating Point Representation)，數值表示成一尾數 (Mantissa) 併同一指數 (Exponent) 的形式：尾數 $\times 2^{\text{指數}}$ 。浮點數運算法是一種較複雜的運算法則，利用浮點數表示法可以實現將數位資料推展至相當大的數據動態範圍，因此寬廣的數值範圍與高精確度的性質，昭示了浮點數式數位訊號處理器所蘊含之巨大的市場潛力，但於考量成本和功率消耗等原因下，定點數式數位訊號處理器在一般消費性電子產品上的應用，仍將保有穩固的優勢。

請參閱圖一，圖一為一習知定點數式數位訊號處理器 10 一實施例之功能方塊圖。此 (定點數式) 數位訊號處理器 10 可用來處理複數筆具有定點數表示法之數位資料，亦即這些數位資料包含了整數 (Integer) 及小數兩種表示型式，此外，於本實施例中，這些數位資料依據其本身所

五、發明說明 (3)

佔位元數的多寡，分成 n 位元之數位資料以及 $2n$ 位元之數位資料， n 係為大於零之整數。數位訊號處理器 10 包含有一資料接收端 12、一乘法電路 (Multiplication Circuit) 16、一乘法位移裝置 (Multiplication Shifter) 18、一第一位移裝置 14、一第二位移裝置 24、一選擇運算模組 (Multiplexing Arithmetic Module) 20、一儲存裝置 (Storage Instrument) 22、以及一資料寫入端 26。資料接收端 12 用來由一記憶體或其他外部電路接收複數數筆 n 位元之數位資料，資料接收端 12 並將兩筆 n 位元之數位資料送進乘法電路 16 中，乘法電路 16 可將具有定點數表示法之二 n 位元之數位資料相乘，產生一具有定點數表示法之 $2n$ 位元之數位資料，而後電連於乘法電路 16 之乘法位移裝置 18，會依據此數位資料為整數或小數之型式，適當調整相乘之後 $2n$ 位元之數位資料之小數點的位置，產生一 $2n$ 位元之第一數位資料。同時，資料接收端 12 將一 n 位元之數位資料傳送至第一位移裝置 14 中，第一位移裝置 14 係將具有定點數表示法之此 n 位元之數位資料，經一基本之正負號延伸程序 (Sign Extension)，產生一具有定點數表示法之 $2n$ 位元之第二數位資料。以將一 8 位元之二進位正數 ($n=8$):

(00010100) 轉換為一 16 位元之二進位正數 ($n=16$) 為例，只要將高位元組填滿零便可，亦即，將高位元的八個位元部份補上 0，成為 (00000000 00010100)，但若以二補數表示負數時，就要將延伸出的八個位元都填上 1，例如

五、發明說明 (4)

一 8位元之二進位負數(11101100)可利用將延伸的八個位元都補上1以得到(11111111 11101100)。

選擇運算模組 20包含一選擇裝置 19及一運算單元 (Arithmetic Unit) 21，選擇裝置 19電連於第一位移裝置 14及乘法位移裝置 18，用來於 $2n$ 位元之第一數位資料及第二數位資料之間選擇其一輸出，在實際實施時，選擇裝置 19可使用一多工器 (Multiplexer) 完成。運算單元 21電連於選擇裝置 19，用來接收選擇出的 ($2n$ 位元之) 第一數位資料或第二數位資料，而運算單元 21包含另一輸入端，用來接收由儲存裝置 22傳送之 $2n$ 位元之第三數位資料，如此一來，運算單元 21可對此些 $2n$ 位元之數位資料 (第三數位資料與第一或第二數位資料) 執行各種運算之功能，接下來，運算單元 21輸出處理後的一 $2n$ 位元之第四數位資料至儲存裝置 22，儲存裝置 22的功能係即用來儲存經選擇運算模組 20處理後之複數筆數位資料，而在實際實施時，儲存裝置 22可以一累積器 (Accumulator) 完成。最後，第二位移裝置 24將具有定點數表示法之 $2n$ 位元之數位資料轉換為仍具有定點數表示法之一 n 位元之數位資料，並由資料寫入端 26將此具有定點數表示法之 n 位元之數位資料寫入前述之記憶裝置或其他裝置中。

上述關於定點數式數位訊號處理器 10之習知技術的基本概念及架構已在許多習知專利中有相關的描述。Kiuchi

五、發明說明 (5)

等人於 US Patent 5,884,092, "System for maintaining fixed-point data alignment within a combination CPU and DSP system"中，於類似上述定點數式數位訊號處理器 10 之架構下，特別針對整數型式之數位資料提出一簡易校正法 (Correction Process)，利用一指令 (Instruction) 提示所處理之數位資料於位元時的相關資訊，可避免多餘累贅的位移操作 (Shift Operation) 並增加運作之速度。而關於定點數運算法之習知專利亦所在多有，如 Takano 等人於 US Patent 5,524,089, "Logarithm computing circuit for fixed point numbers" 中將浮點數表示法中尾數與指數之概念應用於定點數運算法中，並著眼於二進位與十進位數值表示的轉換運作上，以期縮減相關電路之面積與複雜度。

由上述習知技術可知，定點數式數位訊號處理器在普遍為業界所接受並使用的同時，仍存在著一些極需改善的問題。現今許多定點數式數位訊號處理器的主要目標市場是嵌入式應用系統，在這項應用中的記憶體容量需較一般為小，而圖一之定點數式數位訊號處理器 10 在與此種容量較小之記憶體配合應用的情況下，進行相關之定點數運算時，就經常會有量化誤差 (Quantization Error) 發生。請回頭參閱圖一，圖一中兩個 n 位元之數位資料經乘法電路 16 相乘後，乘積為 $2n$ 位元之數位資

五、發明說明 (6)

料，再經一連串的處理後，若第二位移裝置 24 要將具有定點數表示法之 $2n$ 位元之數位資料轉換為 n 位元之數位資料，以儲存於 n 位元之記憶體中時，於此 $2n$ 位元之數位資料為小數型式之情形下，則必須取此 $2n$ 位元之數位資料中較高之 n 位元，而捨去較低 n 位元，而在此番捨棄位元數的過程中，容易使轉換後之 n 位元之數位資料與原先 $2n$ 位元之數位資料之間產生誤差。例如一（二進位法表示法之）48 位元在十六進位表示法下為：0x004444ffffff，若利用捨去較低之 24 位元以轉換為 24 位元之數位資料後，成為 0x004444，再經習知定點數運算法還原後的數值 0x004444000000 明顯與原數值存有巨大的差異，即造成上述之量化誤差。這種量化誤差可能會造成在數位信號大小上的不連續、變形、與其他不良的效應，成為習知定點數式數位訊號處理器 10 於效能上的限制。若欲利用增加數位訊號處理器之位元數、或改用浮點數式數位訊號處理器以期改善量化誤差，隨之而來的是硬體成本的大幅增加。此外，利用修改定點數式數位訊號處理器之程式碼以降低量化誤差的方法，會增加程式複雜度並消耗較多數位訊號處理器之運算效能。

發明內容

因此本發明的主要目的在於一種利用一跳躍式浮點數運算法之數位訊號處理器，並提供一種新型之跳躍式浮點

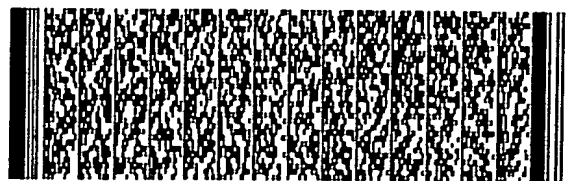
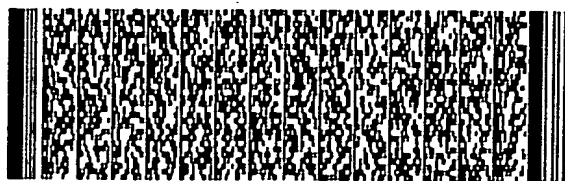


五、發明說明 (7)

數表示法以處理及運算複數筆數位資料，以解決上述問題。

在本發明中，我們以習知之定點數表示法為基礎，並參考浮點數表示法之部分基本概念後，提出一種一新型之跳躍式浮點數表示法 (Jumping Floating Point representation, JFP)，並在數位訊號處理器之架構中引入跳躍式浮點數表示法之概念，設置相對應之硬體設備，使一高位元數數位資料轉換為一低位元數數位資料時，可以用較少重複位元的方式完成轉換並儲存至一記憶體中，而在之後將低位元數數位資料讀取回原先之高位元數數位資料時，又可較精準並有效率地完成還原的效果，如此一來便可在不耗費過多額外資源的情況下，降低量化誤差。

本發明之目的為提供一種數位訊號處理器 (Digital Signal Processor)，用來處理複數筆數位資料，該複數筆數位資料分別具有複數個數值表示法，該複數個數值表示法至少包含有一定點數表示法 (Fixed Point Representation) 以及一跳躍式浮點數表示法 (Jumping Floating Point representation)，該數位訊號處理器包含有一乘法電路 (Multiplication Circuit)，用來將至少二低位元數數位資料相乘產生一高位元數數位資料；一萃取位移裝置 (Extracting/Shifting

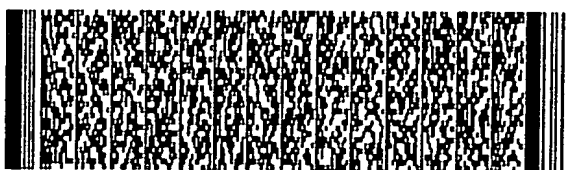


五、發明說明 (8)

Device)，電連於該乘法電路，用來將具有該跳躍式浮點數表示法之一高位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料；複數個表示法轉換電路 (Representation Converter)，每一表示法轉換電路係利用一跳躍式浮點數運算法 (Jumping Floating Point Arithmetic)，將一數位資料於該定點數表示法及該跳躍式浮點數表示法之間作轉換；以及一運算單元 (Arithmetic Unit)，用來運算該複數筆數位資料。

本發明之另一目的為提供一種用於一數位訊號處理器中的方法，用來將具有一定點數表示法之一高位元數數位資料轉換為具有一跳躍式浮點數表示法之一低位元數數位資料。該方法包含有 (a) 依據該高位元數數位資料之絕對值大小，將具有該定點數表示法之該高位元數數位資料放大位移 (Magnifying Shift) N 位元，其中 N 係為大於或等於零之整數，且 N 的值係隨著該高位元數數位資料之絕對值大小而變動； (b) 於進行步驟 (a) 後，捨去該高位元數數位資料中一預定數目之位元數；以及 (c) 於進行步驟 (b) 後，設置一尾端識別碼 (Tail Mark)，以產生具有該跳躍式浮點數表示法之該低位元數數位資料，其中該尾端識別碼係對應於 N 之值。

本發明之另一目的為提供一種用來處理複數筆數位資料的數位訊號處理器，該複數筆數位資料分別具有複數個



五、發明說明 (9)

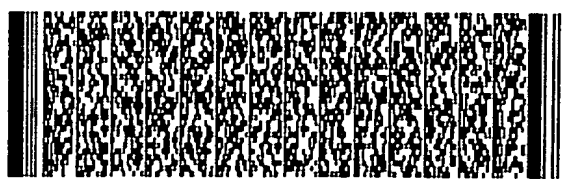
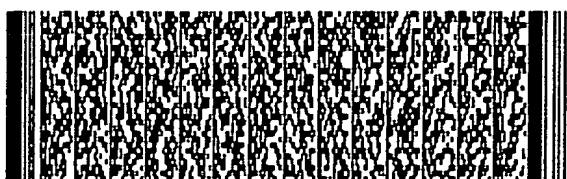
數值表示法，該複數個數值表示法至少包含有一定點數表示法以及一跳躍式浮點數表示法，該數位訊號處理器包含有一資料接收端，用來接收複數筆低位元數位資料；一乘法電路，電連於該資料接收端，用來將具有該定點數表示法之二位元數位資料相乘，產生一具有該定點數表示法之一高位元數位資料，或者將具有該跳躍式浮點數表示法之二低位元數位資料相乘，產生一具有該跳躍式浮點數表示法之一高位元數位資料；一萃取位移裝置，電連於該乘法電路，用來將具有該跳躍式浮點數表示法之一高位元數位資料轉換為具有該定點數表示法之一高位元數位資料；一第一表示法轉換電路 (Representation Converter)，電連於該資料接收端，用來將具有該跳躍式浮點數表示法之一低位元數位資料轉換為具有該定點數表示法之一高位元數位資料，或者將具有該定點數表示法之一低位元數位資料轉換為具有該定點數表示法之一高位元數位資料；一選擇運算模組 (Multiplexing Arithmetic Module)，電連於該第一表示法轉換電路以及萃取位移裝置，用來執行選擇及運算之功能；一儲存裝置，電連於該選擇運算模組，用來儲存該選擇運算模組處理後之複數筆數位資料；一第二表示法轉換電路，電連於該儲存裝置，用來將具有該定點數表示法之一高位元數位資料轉換為具有該跳躍式浮點數表示法之一低位元數位資料；以及一資料寫入端，用來將具有該跳躍式浮點

五、發明說明 (10)

數表示法之該低位元數數位資料寫入一記憶裝置 (Memory Device)。

實施方式

本發明之技術特徵係奠基於一跳躍式浮點數運算法 (Jumping Floating Point Arithmetic)，能將一數位資料於習知之定點數表示法於本發明之一跳躍式浮點數表示法 (Jumping Floating Point representation, JFP) 之間作轉換，降低數值轉換時可能發生之量化誤差。而具備本發明技術特徵之數位訊號處理器 (Digital Signal Processor, DSP)，則因此能同時處理及運算具有定點數表示法與跳躍式浮點數表示法之數位資料。請參閱圖二，圖二為本發明一數位訊號處理器 30 之一實施例的功能方塊圖。如前所述，本發明之數位訊號處理器 30 能處理具有定點數表示法與跳躍式浮點數表示法之數位資料，而在本實施例中，數位資料依據位元數的多寡又可分為高位元數數位資料 (可對應至圖一中 $2n$ 位元之數位資料) 以及低位元數數位資料 (可對應至圖一中 n 位元之數位資料)，而在實際實施時，數位資料所具有之位元數並不限定，不僅只於上述高位元數數位資料及低位元數數位資料兩種。數位訊號處理器 30 包含有一乘法電路 (Multiplication Circuit) 36、一萃取位移裝置 (Extracting/Shifting Device) 38、表示法轉換電路



五、發明說明 (11)

(Representation Converter) 34、一運算單元

(Arithmetic Unit) 31。乘法電路 36 可用來將二低位元數數位資料相乘產生一高位元數數位資料，而萃取位移裝置 38 電連於乘法電路 36，用來將具有跳躍式浮點數表示法之一高位元數數位資料轉換為具有定點數表示法之一高位元數數位資料。表示法轉換電路 34 包含一第一表示法轉換電路 33 及一第二表示法轉換電路 35，第一及第二表示法轉換電路 33、35 係皆可應用本發明之跳躍式浮點數運算法，分別將其所接收之數位資料於定點數表示法及跳躍式浮點數表示法之間作轉換。運算單元 31 與萃取位移裝置 38、第一表示法轉換電路 33、及第二表示法轉換電路 35 相互連接，可用來運算傳送至其中之數位資料，且由運算單元 31 所處理之數位資料並不限定為不定點數表示法及跳躍式浮點數表示法。

請注意，表示法轉換電路 34 的數量並不限制（可不只包含第一及第二表示法轉換電路 33、35），亦可將每一個表示法轉換電路 34 之功能分別設計為「將具有定點數表示法之數位資料轉換為具有跳躍式浮點數表示法之數位資料」或者「將具有跳躍式浮點數表示法之數位資料轉換為具有定點數表示法之數位資料」，如此一來，即可將具有特定轉換功能之表示法轉換電路 34，視實際情形安裝設置於本發明數位訊號處理器 30 中任何有此轉換需要之處，接收並輸出具有跳躍式浮點數表示法或定點數表

五、發明說明 (12)

示法之數位資料。這也同時昭示了，於上述本實施例之數位訊號處理單元30中，第一及第二並數，表示固定，之轉換電路33、35與其他元件間的連接組，可隨式並數。舉一低表示法之高位元數，其中其他硬體運算單元31處理，則可把第一二表示法之高位元數，欲將經高位外備「具的化誤差之資料與減至最低。法寫入為轉換資料」的功，並由技術特徵，可使得元數計為轉換資料」的功，並由技術特徵，可使得元數位資料具有低位的因轉換所造成之誤差。

在為術數何成發及浮點數表示法，就必須先詳細揭露本發明之數位訊號處理單元30中，第一及第二並數，表示固定，之轉換電路33、35與其他元件間的連接組，可隨式並數。舉一低表示法之高位元數，其中其他硬體運算單元31處理，則可把第一二表示法之高位元數，欲將經高位外備「具的化誤差之資料與減至最低。法寫入為轉換資料」的功，並由技術特徵，可使得元數計為轉換資料」的功，並由技術特徵，可使得元數位資料具有低位的因轉換所造成之誤差。

五、發明說明 (13)

為 -1.0 到 $+1.0$ 之間的小數形式，並引用浮點數表示法之概念，使用一至數個位元來作為該數位資料的指數 (Exponent)，而此指數在本發明中稱為尾端識別碼 (Tail Mark)。數位資料中其餘的位元則為尾數 (Mantissa)。跳躍式浮點數表示法之基本概念為：具有跳躍式浮點數表示法之數位資料中之尾端識別碼所佔用的位元數，會隨轉換前之數位資料的原數值大小而調整，當轉換前之原數值較大時，尾端識別碼佔有較少位元，而當原數值較小時，過多重複的位元會佔據原數值之較高位元數處，此時則讓尾端識別碼佔有較多位元，以大量取代原數位資料中過多重複的位元。請參閱圖三，圖三為具有本發明跳躍式浮點數表示法之一數位資料 DA 的一實施例之示意圖。此數位資料 DA 是由一標示位元 (Sign bit)、佔最多位元數之位元資料、以及一尾端識別碼所構成。如前所述，尾端識別碼所佔的位元數並不固定；標示位元為此數位資料 DA 中之最高位元，作為正負符號之判定，當標示位元為 0 時，數位資料 DA 為正值，當標示位元為 1 時，數位資料 DA 則為負值，而在原數值較小而需判定原數位資料中重複的位元時，即是由此數位資料 DA 中次於標示位元的下一位元處起 (位元資料之最高位元)，將與標示位元具有相同的位元值 (1 或 0) 之位元之位元視為重複的位元。

請回頭對照圖二，具有圖三所示表示法之數位資料可對



五、發明說明 (14)

應至圖二實施例所稱之一具有本發明跳躍式浮點數表示法之低位元數數位資料，而由圖二之描述可知，圖三之數位資料 DA 即是由原先一具有定點數表示法之高位元數數位資料，利用本發明之跳躍式浮點數運算法轉換後而得。請見圖四，圖四為圖三跳躍式浮點數表示法一詳細實施例之示意圖。圖四實施例中所顯示之數位資料的低位元數設為 24，且此 24 位元之數位資料所具有之表示法稱為一「定階數跳躍式浮點數表示法 (Regular JFP)」，其為本發明跳躍式浮點數表示法中的一種，詳細情形描述如下。本實施例中此 24 位元之數位資料是由一具有定點數表示法之高位元數數位資料轉換而來，此高位元數數位資料之位元數可設為 48 位元或其他較 24 為高之位元數。舉例而言，若欲將一 48 位元之數位資料 (具有定點數表示法) 轉換為具有圖四所示型式之一 24 位元之數位資料時，跳躍式浮點數運算法會依據該 48 位元之數位資料之絕對值大小，將此 48 位元之數位資料放大位移 (Magnifying Shift) N 位元， N 的值係隨著此 48 位元之數位資料之絕對值大小而變動，當此 48 位元之數位資料之絕對值愈大， N 的值愈小，而當絕對值愈小時， N 的值則愈大。上述之「定階數跳躍式浮點數表示法」係包含複數階位移模式，且固定每階位移模式所要放大位移的低位元數，於圖四實施例中，我們固定每隔一階位移模式多位移 4 位元，在將位移模式設為四階 (第零階 S_0 至第三階 S_3) 的情況下，四階位移模式 S_0-S_4 分別放大位移的位元

五、發明說明 (15)

數為 0、4、8、12。此種將每階位移模式所欲放大位移的位元數設為固定值的表示法，即為本實施例「定階數跳躍式浮點數表示法」之基本技術特徵。

請繼續參閱圖四，並同時對照圖三可知，每一階位移模式下的數位資料都包含一標示位元，此標示位元之值係與原先 48 位元之數位資料中的標示位元相同，而在將 48 位元之數位資料轉換為具有「定階數跳躍式浮點數表示法」之 24 位元之數位資料時，就是利用將該標示位元與該 48 位元之數位資料中之其他位元加以比較，以選定一特定之位移模式及與其對應之 N 值。為求畫面顯示清晰，我們以一個十六進位表示之數（在十六進位表示法下的一位元代表了二進位表示法下的四位元）：`0x004444ffffff` 為例，十六進位表示法下前三位數 `004` 代表了二進位表示法下的 12 位數 `000000000010`，最左邊的為標示位元，標示位元後有九個 0，由於這九個 0 是與標示位元重複的位元，因此對照圖四後的結果，位移模式則可設為第二階位移模式 S2，代表了在轉換的過程中放大位移了 8 個位元。接下來，為了將 48 位元之數位資料轉換為 24 位元之數位資料，必須由較低位元處捨棄 24 位元，最後再加入對應於第二階位移模式 S2 之尾端識別碼。請注意，如圖四所示，尾端識別碼是設置於 24 位元之數位資料的最尾端（最低位元處），其所佔之位元數並不固定，且每一階位移模式分別對應至不同的尾端識別碼。本實施例將位

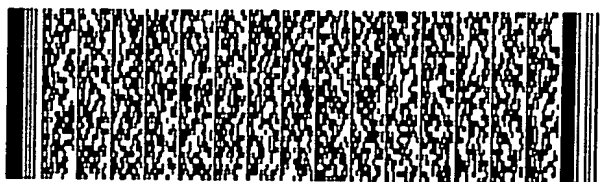


五、發明說明 (16)

移模式分為四階，因此最多利用 3 個位元 (位元 0、位元 1、及位元 2) 去作為尾端識別碼，當原 (48 位元之數位資料之) 數值很大時，跳躍式浮點數運算法不對原數值作任何放大位移的操作，只在其最後一個位元 (位元 0) 標上 1 作為標記，視為第零階位移模式 S0；而在第一階位移模式 S1 下，原數值較第零階位移模式 S0 下為小，因此需將原先之 48 位元之數位資料放大位移 4 位元 (等同於乘以 24) 後，取較高位元處之 22 個位元置於 24 位元之數位資料的位元 23 至位元 2 之處，再將位元 1 與位元 0 標記為 "10"，完成符合「定階數跳躍式浮點數表示法」之數位資料，同理可類推至上述第二階位移模式 S2 中，而第三階位移模式 S3 特別將尾端識別碼設為 "000"，其特殊之用意將於下段詳述。若回頭再以 48 位元之數位資料

0x004444ffffff 為例，將其放大位移 8 個位元，並由較低位元處捨棄 24 位元，最後再加入尾端識別碼 (100) 後，即完成具有「定階數跳躍式浮點數表示法」之 24 位元之數位資料：0x4444fc。

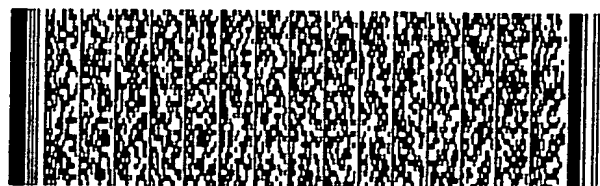
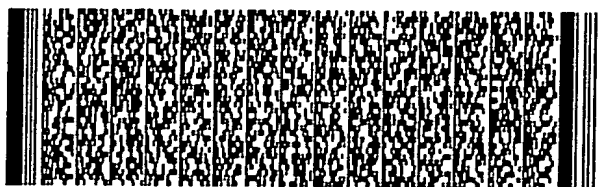
請注意，本發明中之尾端識別碼並不限形式，不限位元數，亦不限其設置之位置，於圖四中所示之尾端識別碼僅為本發明中之一較佳實施例。然而，本實施例之尾端識別碼的設計具有許多優點，首先，在由尾端識別碼判斷此數之位移模式為何階時，可由該數之最後一位元 (位元 0) 加以檢查，由位元值為 1 之位置即可輕易地解讀出此



五、發明說明 (17)

數之位移模式。例如，若發現位元 0、位元 1 之值皆為 0，而位元 2 之值為 1，則可知此數位資料係為第二階位移模式 S2，而其之原數在轉換的過程中被放大位移了 8 個位元；又倘若位元 0 至位元 2 之值皆為 0，則可知此數位資料係為第三階位移模式 S3，而其之原數在轉換的過程中被省略了重複的 12 個位元。再者，無論在轉換過程中被省略之位元（如本實施例中由較低位元處捨棄 24 位元）為何，由於二進位表示法下任何數的最小值（00000... 0）與最大值（11111... 1）的平均值即為（10000... 0），因此，此種尾端識別碼的型式（只有最高位元值為 1，其餘為 0）可代表在轉換過程中被省略之位元數的平均值，可使省略後的值與原先之值的差異減至最低，如此一來，在將這些具有圖四表示法之數位資料施以部分運算時，無須將尾端識別碼特意剔除，而將尾端識別碼納入視為一整體之數值。可推想而知，本實施例中將對應於第三階位移模式 S3 的尾端識別碼設為 "000" 的用意，即是避免原（48 位元之數位資料之）數值為 0 時，任何含有位元值 1 的尾端識別碼所可能造成在運算上的錯誤，勿使原本為 0 的數值在經轉換後產生不為 0 的數位資料。

本發明跳躍式浮點數表示法另包含一「不定階數跳躍式浮點數表示法 (Non-Regular JFP)」，略不同於圖四所示之「定階數跳躍式浮點數表示法」，此種表示法並不固定每階位移模式所增加之放大位移的位元數，請參閱圖



五、發明說明 (18)

五。圖五為圖三跳躍式浮點數表示法之另一詳細實施例之示意圖。圖五所示之「不定階數跳躍式浮點數表示法」的基本概念仍與圖四實施例相同，仍是將此一高位元數(如48位元)之數位資料依據其絕對值放大位移 N 位元，而當原數之絕對值愈大， N 的值愈小，當原數之絕對值愈小時， N 的值則愈大，以省略過多重複的位元，同時可保留更多有效的位元。請見圖五，本實施例之「定階數跳躍式浮點數表示法」亦包四階位移模式(N_0-N_3)，而第零階位移模式 N_0 至第三階位移模式 N_3 分別放大位移的位元數為0、3、7、12，不再是如前一實施例之(等差級數)設計0、4、8、12。除了每一階位移模式所定義之放大位移的位元數並非固定增加4位元之外，本實施例之技術特徵大致上皆與圖四實施例相同，標示位元與尾端識別碼的功能亦可對應至圖四實施例中之描述。

事實上，無論是圖四或圖五之實施例，位移模式之階數並不限定為四階，例如，在圖四實施例中可加入第四階位移模式、第五階位移模式、...等等。承襲「定階數跳躍式浮點數表示法」之基本概念，可假設每一階位移模式固定為正整數 P 的倍數，而一共設置 L 階， L 係為一大於或等於0之整數，如此一來，第零階位移模式係放大位移0位元，第一階位移模式放大位移 P 位元，而直到第 L 階位移模式則可放大位移 $(L-1)*P$ 位元，只要 $(L-1)*P$ 之值小於原數的總位元數即可。當然，若位移模式的階數增

五、發明說明 (19)

加，意味著尾端識別碼所佔的位元數也必須隨之增加，才能充分取代原數位資料中多量的重複之位元。此外，無論是從圖四或圖五之實施例，皆可看出在原數值越大時，佔有越少位元數之尾端識別碼代表著保留了越多原數值中有效的位元，相對的，原數值越小時，與原數值較大的情況相比之下，轉換後佔有越多位元數之尾端識別碼似乎保留了較少有效的位元，事實上，在原數值較小時，尾端識別碼能利用取代大量重複的位元，更加有效地保留了更多原數值中有效的位元。如此一來，本發明之跳躍式浮點數運算法在將一（具有定點數表示法）高位元數數位資料（如上述 48 位元之數位資料）轉換為一（具有跳躍式浮點數表示法）低位元數數位資料（如 24 位元之數位資料）時，能保有轉換前之高位元數數位資料中更多的有效位元。亦即，在轉換前後之數位資料皆具有相同的總位元數下，與習知定點數表示法相比，跳躍式浮點數表示法可使相關之數位訊號處理器的運算獲得更高的精確度，也無需浮點數表示法過高的複雜度。

綜上所述，本發明之跳躍式浮點數運算法係應用於如圖二之一數位訊號處理器中，用來將一具有定點數表示法之高位元數數位資料轉換為一具有跳躍式浮點數表示法（包含「定階數跳躍式浮點數表示法」及「不定階數跳躍式浮點數表示法」）之低位元數數位資料，歸納後的方法實施例可參閱圖六，圖六為本發明一方法實施例之流程



五、發明說明 (20)

圖，包含有下列步驟：

步驟 100：開始；

步驟 102：設定複數階位移模式，每一階位移模式分別對應至不同的 N 值 (N 為大於或等於零之整數)；

步驟 104：依據此高位元數數位資料之絕對值大小，選定一位移模式，並將具有定點數表示法之高位元數數位資料放大位移 (對應於該階位移模式之) N 位元，選擇位移模式及 N 值的基本精神為：當原先高位元數數位資料之絕對值愈大時， N 的值愈小，當高位元數數位資料之絕對值之絕對值愈小時， N 的值則愈大，同時， N 值及位移模式的選定係由比較一標示位元與此高位元數數位資料中的其他位元而得；

步驟 106：捨去此高位元數數位資料中一預定數目之位元數，使得此高位元數數位資料在捨棄此預定數目之位元數後，其所具有之位元數與低位元數數位資料之位元數相同；

步驟 108：設置一 (對應於所選定之位移模式及 N 值的) 尾端識別碼，以產生具有跳躍式浮點數表示法之低位元數數位資料；

步驟 110：完成跳躍式浮點數運算法之轉換。

奠基於上述圖四之實施例，並以圖六中所述之操作流程為依據，圖七顯示了本發明將一具有定點數表示法之 48 位元之數位資料轉換為一具有跳躍式浮點數表示法之 24



五、發明說明 (21)

位元之數位資料之一詳細方法實施例。請參閱圖七，圖七為圖六之一詳細方法實施例的流程圖，包含下列步驟：

步驟 200：剛開始提供一具有定點數表示法之 48 位元之數位資料；

步驟 202：判斷該 48 位元之數位資料的絕對值是否小於 $2^{-(4*1)}$ ，若是，則進行步驟 204，若否，則進行至步驟 208，選定一 m 值為 0，將位移模式設定為第零階位移模式 $N0$ ；

步驟 204：繼續判斷該 48 位元之數位資料的絕對值是否小於 $2^{-(4*2)}$ ，若是，則進行步驟 206，若否，則進行至步驟 208，選定 m 值為 1，將位移模式設定為第一階位移模式 $N1$ ；

步驟 206：繼續判斷該 48 位元之數位資料的絕對值是否小於 $2^{-(4*3)}$ ，若是，則進行步驟 208，選定 m 值為 3，設定為第三階位移模式 $N3$ ，若否，則亦進行至步驟 208，但選定 m 值為 2，設定為第二階位移模式 $N2$ ；

步驟 208：依據此 48 位元之數位資料之絕對值大小，配合步驟 202 至步驟 206 之運作，選定 m 值，並於 m 值選定之後，進行步驟 210；

步驟 210：將該具有定點數表示法之 48 位元之數位資料放大 $2^{(4*m)}$ 倍，也就是將此 48 位元之數位資料放大位移 $(4*m)$ 位元；

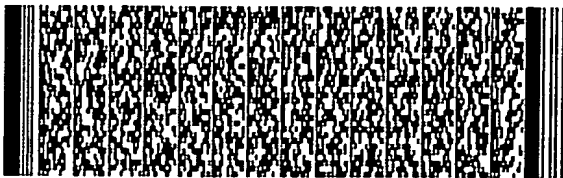
步驟 212：捨去此 48 位元之數位資料中最後之 24 位元，成為一 24 位元之數位資料；

五、發明說明 (22)

步驟 214: 加上一對應 m 值的尾端識別碼，當 m 值為 0，位元 0 之值為 1；當 m 值為 1，位元 0 之值為 0，而位元 1 之值為 1；當 m 值為 2，位元 0 及位元 1 之值為 0，位元 2 之值設為 1；當 m 值為 3，位元 0、位元 1、及位元 2 之值皆設為 0；

步驟 216: 產生一具有跳躍式浮點數表示法之 24 位元之數位資料，完成跳躍式浮點數運算法之轉換。

本發明之跳躍式浮點數運算法在將一具有定點數表示法之高位元數數位資料轉換為一具有跳躍式浮點數表示法之低位元數數位資料的同時，也必須要能將具有跳躍式浮點數表示法之此低位元數數位資料還原回具有定點數表示法之高位元數數位資料，才算完整的達成本發明將一數位資料於定點數表示法及跳躍式浮點數表示法之間作轉換的技術特徵。在實際實施時，只要將上述的程序以相反 (Reversed) 的概念加以操作，在轉換時，依據尾端識別碼，將低位元數數位資料縮小位移 (Minifying Shift) N 位元 (N 為大於或等於零之整數)，並依據標示位元，決定 N 位元中每一位元之值，同時增補一預定數目之位元數於低位元數數位資料中，使得此低位元數數位資料在增補此預定數目之位元數後，其所具有之位元數與所欲之高位元數數位資料之位元數相同，當然，所增補之位元數中每一位元之值，必需與標示位元的值相同，如此一來，即可完成還原的目的。在此，我們繼續以上述具有「定階數跳躍式浮點數表示法」之 24 位元之數位



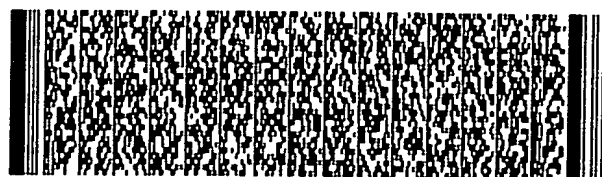
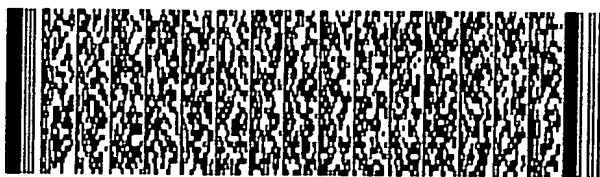
五、發明說明 (23)

資料：0x4444fc (十六進位表示法)為例，若欲將此 24 位元之數位資料還原轉換為 (具有定點數表示法之) 48 位元之數位資料，由於此 24 位元之數位資料於十六進位表示法下的最後一位元值 c 係對應於二進位表示法下的 4 的位元值 (1100)，也就是對應於圖四中之位元 0、位元 1 之值皆為 0，而位元 2 之值為 1，等同於尾端識別碼為 (100)，在回頭參照圖四實施例後，則可判定此數位資料係屬於第二階位移模式 S2，亦代表當初轉換時放大位移了 8 位元。於是，將此數縮小位移 8 位元 (等同於除以 28)，並將總位元數依據標示位元 (其值為 0) 增補至 48 位元，即可產生 (具有定點數表示法之) 48 位元之數位資料 0x004444fc0000。

與 0x4444fc 之原數 0x004444ffffffff 相比可知，經過本發明跳躍式浮點數運算法轉換後再還原的數值

0x004444fc0000 仍與原數值有所差異，但若單純使用習知定點數運算法，將 48 位元之數位資料捨棄後 24 位元之資料 (成為 0x004444) 再還原而得之值 (0x004444000000) 相比，則可看出本發明跳躍式浮點數運算法能有效的減少數值轉換過程中的量化誤差，使其於硬體上實施時，可以在不增添太多額外軟硬體資源的情況下，能以較小的空間儲存及處理數位資料並提高精確度。

圖八描述了上述本發明將一具有跳躍式浮點數表示法之



五、發明說明 (24)

24位元之數位資料轉換為一具有定點數表示法之48位元之數位資料之一詳細方法實施例。請參閱圖八，圖八為本發明另一方法實施例的流程圖，包含下列步驟：

步驟 300：剛開始提供一具有跳躍式浮點數表示法之24位元之數位資料，接下來同時進行步驟 302及步驟 310；

步驟 302：判斷位元 0 之值，若位元 0 之值為 0，則進行步驟 304；若位元 0 之值為 1，則進行至步驟 308，將一 m 值設為 0，亦即將位移模式判斷為第零階位移模式 N_0 ；

步驟 304：繼續判斷位元 1 之值，若位元 1 之值為 0，則進行步驟 306；若位元 1 之值為 1，則進行至步驟 308，將 m 值設為 1，亦即將位移模式判斷為第一階位移模式 N_1 ；

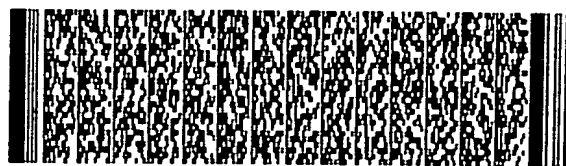
步驟 306：繼續判斷位元 2 之值，若位元 2 之值為 0，則進行步驟 308，將 m 值設為 3，亦即將位移模式判定為第三階位移模式 N_3 ；若位元 2 之值為 1，亦進行至步驟 308，將一 m 值設為 2，將位移模式判斷為第二階位移模式 N_2 ；

步驟 308：依據此 24位元之數位資料中之尾端識別碼，配合步驟 302至步驟 306之檢查步驟，得到 m 值，並於 m 值選定之後，進行步驟 312；

步驟 310：於此 24位元之數位資料之後增補 24位元的 0 值，成為一 48位元之數位資料；

步驟 312：將步驟 310中所得之 48位元之數位資料，依據經步驟 308後所得之 m 值，縮小 $2^{(4*m)}$ 倍，也就是將此 48位元之數位資料縮小位移 $(4*m)$ 位元；

步驟 314：產生一具有定點數表示法之 48位元之數位資



五、發明說明 (25)

料，成功將具有跳躍式浮點數表示法之24位元數位資料還原回具有定點數表示法之48位元數位資料。

將上述所有本發明之方法應用於硬體上實施時，相關的實施例可回頭參閱圖二。由於本發明圖二之數位訊號處理器30可以於其中進行具有定點數表示法與跳躍式浮點數表示法的數值處理與運算（運算包含加減乘除等數學運算），並可進行定點數表示法與跳躍式浮點數表示法形式之間的轉換，意即，本發明之數位訊號處理器30能在極低的量化誤差下處理較低位元數數位資料，因此無須增加數位訊號處理器之位元數、無須改用浮點數式數位訊號處理器、亦無需修改數位訊號處理器30程式碼的情況下，就能大幅增加運算結果與正確結果之間的一致性，且能以一較小容量的外接記憶體儲存具有跳躍式浮點數表示法之低位元數數位資料，降低硬體成本。

請繼續回頭參閱圖二實施例，在數位訊號處理器30中有三個元件直接牽涉到本發明之跳躍式浮點數運算法：萃取位移裝置38、第一表示法轉換電路33、及第二表示法轉換電路33、35。其中第一及第二表示法轉換電路33、35能執行定點數表示法與跳躍式浮點數表示法之間的轉換功能，其運作之方式可完全參照上述圖四至圖八實施例，而萃取位移裝置38依功能細分，又可區別為一萃取裝置37以及一位移裝置39，請見圖九，圖九為圖二數位

五、發明說明 (26)

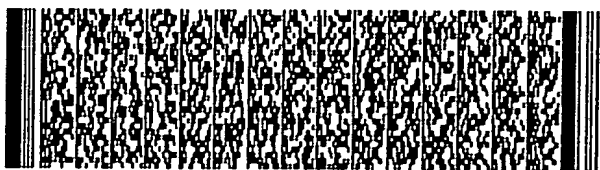
訊號處理器 30 部分原件之一實施例的功能方塊圖，包含有萃取裝置 37、位移裝置 39、與乘法電路 36。倘若輸入乘法電路 36 中的二低位元數 (n 位元) 數位資料皆具有跳躍式浮點數表示法，在相乘的過程中，如圖三所示之位元資料、與尾端識別碼可分開視之，因此，乘法電路 36 可將二低位元數 (n 位元) 數位資料各自的位元資料直接相乘。而此時二低位元數數位資料亦送進萃取裝置 37 中，萃取出該二低位元數 (n 位元) 位資料中各自的尾端識別碼，判斷出相關之資訊 (如個別之位移模式及 N 值)，接著將此相關資訊傳送入位移裝置 39，依據判斷出的位移模式及 N 值，將經由乘法電路 36 處理後之資料作出對應之小數點位移，以得出正確的 (具有定點數表示法之) 一高位元數 ($2n$ 位元) 數位資料。

圖二實施例中的電路結構並非固定，可因應不同需求而作調整，因此，我們接下來提出一特定結構之數位訊號處理器，充分揭露本發明之跳躍式浮點數運算法與硬體設備配合運用之情形。請參閱圖十，圖十為圖二之一詳細實施例之功能方塊圖。圖十之數位訊號處理器 50 包含有一資料接收端 52、一乘法電路 56、一萃取裝置 57、一位移裝置 59、一第三表示法轉換電路 53、一選擇運算模組 60、一儲存裝置 62、一第四表示法轉換電路 55、以及一資料寫入端 66。資料接收端 52 可接收複數筆具有跳躍式浮點數表示法之 n 位元之數位資料，乘法電路



五、發明說明 (27)

56電連於資料接收端 52，用來接收二筆具有跳躍式浮點數表示法之 n 位元之數位資料，乘法電路 56 亦會將此二 n 位元之數位資料相乘，產生具有跳躍式浮點數表示法之 $2n$ 位元之數位資料，再經由萃取裝置 57 及位移裝置 59 (萃取裝置 57 與位移裝置 59 可合併視為一萃取位移裝置 58) 處理後，得出具有定點數表示法之 $2n$ 位元之第五數位資料。在此同時，電連於資料接收端 52 的第三表示法轉換電路 53 亦接收一具有跳躍式浮點數表示法之 n 位元之數位資料，依據該 n 位元之數位資料之尾端識別碼及標示位元，用來將此 n 位元之數位資料轉換為具有定點數表示法之一 $2n$ 位元之第六數位資料。選擇運算模組 60 包含一選擇裝置 69 及一運算單元 61，選擇裝置 69 電連於第三表示法轉換電路 53 以及位移裝置 59，用來由 $2n$ 位元之第五、及第六數位資料中選擇其一輸出，因此選擇裝置 69 可使用一多工器 (Multiplexer) 完成。運算單元 61 電連於選擇裝置 69，用來接收選擇出的 ($2n$ 位元之) 第五數位資料或第六數位資料，而運算單元 61 包含另一輸入端，用來接收由儲存裝置 62 傳送之 $2n$ 位元之第七數位資料，如此一來，運算單元 61 可對這些具有定點數表示法之 ($2n$ 位元之) 數位資料 (第七、第一、或第二數位資料) 執行各種運算之功能。請注意，本實施例強調了運算單元 61 所處理的數位資料係具有定點數表示，其理由在於：具有跳躍式浮點數表示法之數位資料在轉換時已經一放大位移的過程，因此其小數點的位置已有所變動，使得加、減法

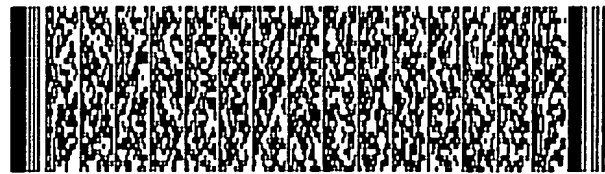
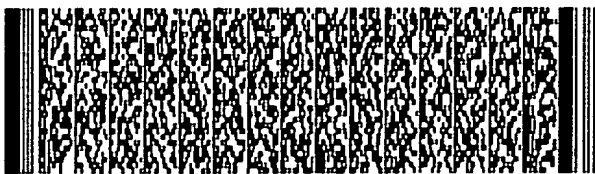


五、發明說明 (28)

運算下的複雜度過高，因此本實施例中將所有數位資料皆先轉換為具有定點數表示法之型態，再送入運算單元 61 中加以運算。至於乘法的部分，則較容易處理具有跳躍式浮點數表示法之數位資料，如前述一般，可分別將數位資料中的位元資料、尾端識別碼分開視之，在相乘時，將二數位資料中各自的位元資料直接相乘，最後再利用尾端識別碼補償 (Compensate) 調整小數點的位置即可。

接下來，運算單元 61 輸出處理後的一 $2n$ 位元之數位資料至儲存裝置 62，儲存裝置 62 的功能係即用來儲存經選擇運算模組 60 處理後之複數筆數位資料，而在實際實施時，儲存裝置 62 可以一累積器 (Accumulator) 完成。第四表示法轉換電路 55 將具有定點數表示法之 $2n$ 位元之數位資料轉換為具有跳躍式浮點數表示法之一 n 位元之數位資料，並由資料寫入端 66 將此具有跳躍式浮點數表示法之 n 位元之數位資料寫入前述之記憶裝置中。

為將圖一實施例之功能納入本發明之實施例中，使本發明之數位訊號處理器能同時處理具有定點數表示法 (包含整數表示法 (Integer Representation))、及跳躍式浮點數表示法之資料，於接下來的實施例中加入一啟動控制訊號 (Enabling Control Signal)，以切換圖十中部份與本發明技術特徵相關之元件的功能。請參閱圖十一，圖



五、發明說明 (29)

十一為圖二之另一詳細實施例之功能方塊圖，近似於圖十實施例，其數位訊號處理器70亦包含有一資料接收端72、一乘法電路76、一萃取裝置77、一位移裝置79、一第五表示法轉換電路73、一選擇運算模組80、一儲存裝置82、一第六表示法轉換電路75、以及一資料寫入端86。第五及第六表示法轉換電路73、75可對應至圖十中第三及第四表示法轉換電路53、55。本實施例中最重要之技術特徵為萃取裝置77、位移裝置79、第五表示法轉換電路73、以及第六表示法轉換電路75皆會連接至至少一啟動控制訊號ES，此啟動控制訊號ES可用來判斷是否啟動與其相連之萃取裝置77、位移裝置79、第五及第六表示法轉換電路73、75。當乘法電路76接收的二筆 n 位元之數位資料具有跳躍式浮點數表示法時，啟動控制訊號ES就會啟動萃取裝置77及位移裝置79，進行圖十實施例中所述之運作，而當乘法電路76所接收的二筆 n 位元之數位資料具有定點數表示法時，啟動控制訊號ES就不啟動萃取裝置77及位移裝置79，乘法電路76則單純地將此二 n 位元之數位資料相乘後，產生一具有定點數表示法之 $2n$ 位元之數位資料，此時萃取裝置77及位移裝置79可視為圖一習知實施例中的乘法位移裝置18。同理，當啟動控制訊號ES啟動第五表示法轉換電路73時，第五表示法轉換電路73係執行如圖十中第三表示法轉換電路53之運作，將具有跳躍式浮點數表示法之 n 位元之數位資料轉換為具有定點數表示法之 $2n$ 位元之數位資料，但當啟動控

五、發明說明 (30)

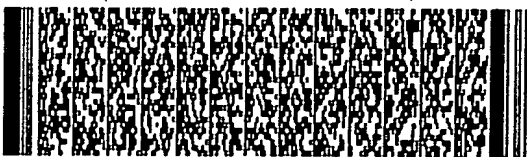
制訊號 ES 不啟動第五表示法轉換電路 73 時，第五表示法轉換電路 73 係經由一習知基本的正負號延伸程序 (Sign Extension)，將具有定點數表示法之 n 位元之數位資料轉換為具有定點數表示法之 $2n$ 位元之數位資料，此時第五表示法轉換電路 73 的功能等同於圖一習知實施例中的第一位移裝置 14。又同理，當啟動控制訊號 ES 啟動第六表示法轉換電路 75 時，第六表示法轉換電路 75 執行如圖十中第四表示法轉換電路 55 之運作，將具有定點數表示法之 $2n$ 位元之數位資料轉換為具有跳躍式浮點數表示法之 n 位元之數位資料；當啟動控制訊號 ES 不啟動第六表示法轉換電路 75 時，第六表示法轉換電路 75 將具有定點數表示法之 $2n$ 位元之數位資料直接捨棄其中 n 位元，轉換成為具有定點數表示法之 n 位元之數位資料，此時第六表示法轉換電路 76 的功能等同於圖一習知實施例中的第二位移裝置 24。

本發明所揭露之一新型的跳躍式浮點數運算法及跳躍式浮點數表示法可在根本上改善數值位元轉換時產生的誤差，使一高位元數數位資料轉換為一低位元數數位資料時，可以用較少重複位元的方式完成轉換，保留更多有效位元數值，不犧牲精準度。而在數位訊號處理器之架構中引入本發明跳躍式浮點數表示法之概念，並設置相對應之硬體設備後，可將數位資料以較低位元數的型態處理並儲存至一記憶體中，而在之後將低位元數數位

五、發明說明 (31)

資料讀取回原先之高位元數數位資料時，又可較精準並有效率地完成還原的效果，如此一來便可在不耗費過多額外資源的情況下，顯著地降低量化誤差。

上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

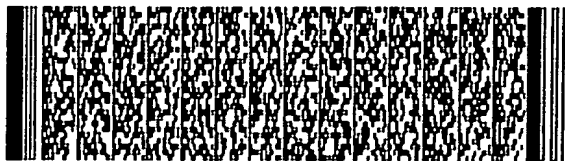


圖式簡單說明

圖式之簡單說明

- 圖一為習知一定點數式數位訊號處理器之一實施例之功能方塊圖。
- 圖二為本發明一數位訊號處理器之一實施例的功能方塊圖。
- 圖三為具有本發明跳躍式浮點數表示法之一數位資料的示意圖。
- 圖四為圖三跳躍式浮點數表示法一詳細實施例之示意圖。
- 圖五為圖三跳躍式浮點數表示法之另一詳細實施例之示意圖。
- 圖六為本發明一方法實施例之流程圖。
- 圖七為圖六之一詳細方法實施例的流程圖。
- 圖八為本發明另一方法實施例的流程圖。
- 圖九為圖二數位訊號處理器中部分原件之一實施例的功能方塊圖。
- 圖十為圖二數位訊號處理器之一詳細實施例之功能方塊圖。
- 圖十一為圖二數位訊號處理器之另一詳細實施例之功能方塊圖。

圖式之符號說明



圖式簡單說明

- | | |
|---------------------|------------------|
| 10、30、50、70 數位訊號處理器 | |
| 12、52、72 資料接收端 | |
| 14 第一位移裝置 | 16、36、56、76 乘法電路 |
| 18 乘法位移裝置 | 19、69、89 選擇裝置 |
| 20、60、80 選擇運算模組 | 21、31、61、81 運算單元 |
| 22、62、82 儲存裝置 | 24 第二位移裝置 |
| 26、66、86 資料寫入端 | 33 第一表示法轉換電路 |
| 34 表示法轉換電路 | 35 第二表示法轉換電路 |
| 37、57、77 萃取裝置 | 38、58、78 萃取位移裝置 |
| 39、59、79 位移裝置 | 53 第三表示法轉換電路 |
| 55 第四表示法轉換電路 | 73 第五表示法轉換電路 |
| 75 第六表示法轉換電路 | |

六、申請專利範圍

1. 一種數位訊號處理器 (Digital Signal Processor)，用來處理至少一筆數位資料，該至少一筆數位資料分別具有複數個數值表示法，該複數個數值表示法至少包含有一定點數表示法 (Fixed Point Representation) 以及一跳躍式浮點數表示法 (Jumping Floating Point representation)，該數位訊號處理器包含有：

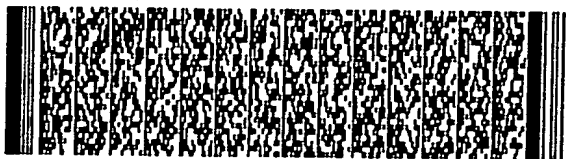
一乘法電路 (Multiplication Circuit)，用來將至少二低位元數數位資料相乘產生一高位元數數位資料；

一萃取位移裝置 (Extracting/Shifting Device)，電連於該乘法電路，用來將具有該跳躍式浮點數表示法之一高位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料；

複數個表示法轉換電路 (Representation Converter)，每一表示法轉換電路係利用一跳躍式浮點數運算法 (Jumping Floating Point Arithmetic)，將該至少一筆數位資料中任一數位資料於該定點數表示法及該跳躍式浮點數表示法之間作轉換；以及

一運算單元 (Arithmetic Unit)，用來運算該至少一筆數位資料。

2. 如申請專利範圍第1項之數位訊號處理器，其另包含一儲存裝置 (Storage Instrument)，電連於該運算單元，用來儲存該至少一筆數位資料。



六、申請專利範圍

3. 如申請專利範圍第1項之數位訊號處理器，其中該跳躍式浮點數運算法係用來將具有該定點數表示法之該高位元數數位資料轉換為具有該跳躍式浮點數表示法之該低位元數數位資料，或者將具有該跳躍式浮點數表示法之該低位元數數位資料轉換為具有該定點數表示法之該高位元數數位資料。
4. 如申請專利範圍第3項之數位訊號處理器，其中該跳躍式浮點數運算法係依據該高位元數數位資料之絕對值大小，將具有該定點數表示法之該高位元數數位資料放大位移 (Magnifying Shift) N 位元，並捨棄預定數目之位元數，再設置一尾端識別碼 (Tail Mark)，以產生具有該跳躍式浮點數表示法之該低位元數數位資料，其中 N 係為大於或等於零之整數。
5. 如申請專利範圍第4項之數位訊號處理器，其中 N 的值係隨著該高位元數數位資料之絕對值大小而變動，當該高位元數數位資料之絕對值愈大， N 的值係愈小；當該高位元數數位資料之絕對值愈小， N 的值係愈大。
6. 如申請專利範圍第4項之數位訊號處理器，其中該跳躍式浮點數運算法係包含有複數個位移模式，每一位移模式係分別對應至不同的 N 值。

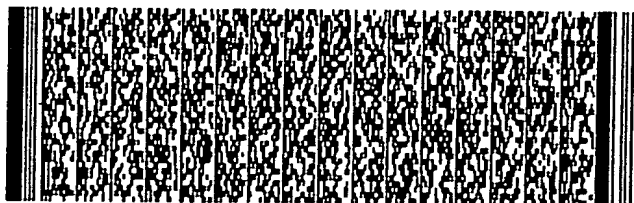
六、申請專利範圍

7. 如申請專利範圍第6項之數位訊號處理器，其中每一數位資料係包含一標示位元 (Sign bit)，位移模式的選定及對應之 N 值係由比較該標示位元與該高位元數數位資料中之其他位元而得。

8. 如申請專利範圍第7項之數位訊號處理器，其中該跳躍式浮點數運算法係依據該尾端識別碼以及該標示位元，將具有該跳躍式浮點數表示法之該低位元數數位資料轉換為具有該定點數表示法之該高位元數數位資料。

9. 如申請專利範圍第4項之數位訊號處理器，其中於該萃取位移裝置中，當輸入該乘法電路之該二位元數數位資料皆係具有該跳躍式浮點數表示法時，該萃取位移裝置係依據具有該跳躍式浮點數表示法之該二位元數數位資料之尾端識別碼，將具有該跳躍式浮點數表示法之該高位元數數位資料轉換為具有該定點數表示法之該高位元數數位資料。

10. 如申請專利範圍第1項之數位訊號處理器，其中該萃取位移裝置以及該複數個表示法轉換電路係連接於至少一啟動控制訊號 (Enabling Control Signal)，用來分別判斷是否啟動該萃取位移裝置以及該複數個表示法轉換電路。



六、申請專利範圍

11. 如申請專利範圍第 1 項之數位訊號處理器，其中該運算單元係用來運算具有該定點數表示法之該至少一筆數位資料。

12. 如申請專利範圍第 1 項之數位訊號處理器，其另包含有：

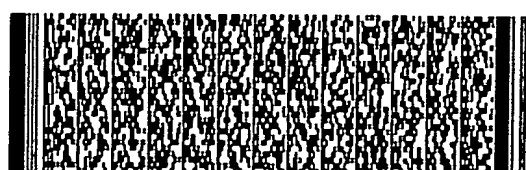
一資料接收端，用來接收至少一筆數位資料；以及
一資料寫入端，用來將具有該跳躍式浮點數表示法之至少一低位元數數位資料寫入一記憶裝置 (Memory Device)。

13. 一種用於一數位訊號處理器 (Digital Signal Processor) 中的方法，用來將具有一定點數表示法 (Fixed Point Representation) 之一高位元數數位資料轉換為具有一跳躍式浮點數表示法 (Jumping Floating Point Representation) 之一低位元數數位資料，該方法包含有：

(a) 依據該高位元數數位資料之絕對值大小，將具有該定點數表示法之該高位元數數位資料放大位移 (Magnifying Shift) N 位元，其中 N 係為大於或等於零之整數，且 N 的值係隨著該高位元數數位資料之絕對值大小而變動；

(b) 於進行步驟 (a) 後，捨去該高位元數數位資料中一預定數目之位元數；以及

(c) 於進行步驟 (b) 後，設置一尾端識別碼 (Tail Mark)，



六、申請專利範圍

以產生具有該跳躍式浮點數表示法之該低位元數數位資料，其中該尾端識別碼係對應於 N 之值。

14. 如申請專利範圍第 13 項之方法，其中當該高位元數數位資料之絕對值愈大， N 的值係愈小；當該高位元數數位資料之絕對值愈小， N 的值係愈大。

15. 如申請專利範圍第 13 項之方法，其另包含：

(d) 於步驟 (a) 中，設置複數個位移模式，每一位移模式係分別對應至不同的 N 值；

(e) 於進行步驟 (d) 後，依據該高位元數數位資料之絕對值大小，選定一位移模式及對應之 N 值，將具有該定點數表示法之該高位元數數位資料放大位移該對應之 N 位元；以及

(f) 於步驟 (c) 中且於進行步驟 (e) 後，設置一對應於該位移模式之尾端識別碼。

16. 如申請專利範圍第 15 項之方法，其中該高位元數數位資料係包含一標示位元 (Sign bit)， N 的值及該位移模式的選定係由比較該標示位元與該高位元數數位資料中之其他位元而得。

17. 如申請專利範圍第 16 項之方法，其中該低位元數數位資料係包含該標示位元，且具有該跳躍式浮點數表示



六、申請專利範圍

法之該低位元數數位資料係可依據該尾端識別碼以及該標示位元，還原成為具有該定點數表示法之該高位元數數位資料。

18. 如申請專利範圍第13項之方法，其另包含：(g)於進行步驟(c)後，將具有該跳躍式浮點數表示法之該低位元數數位資料寫入一記憶裝置(Memory Device)中。

19. 一種用於一數位訊號處理器(Digital Signal Processor)中的方法，用來將具有一跳躍式浮點數表示法(Jumping Floating Point Representation)之一低位元數數位資料轉換為具有一定點數表示法(Fixed Point Representation)之一高位元數數位資料，其中具有該跳躍式浮點數表示法之該低位元數數位資料包含一尾端識別碼(Tail Mark)，該方法包含有：

依據該尾端識別碼，將該低位元數數位資料縮小位移(Minifying Shift)N位元，其中N係為大於或等於零之整數；以及

增補一預定數目之位元數於該低位元數數位資料中。

20. 如申請專利範圍第19項之方法，其中該高位元數數位資料係包含一標示位元(Sign bit)，該方法另包含：依據該標示位元，決定該N位元中每一位元之值；以及依據該標示位元，決定所增補之該預定數目之位元數中



六、申請專利範圍

每一位元之值。

21. 如申請專利範圍第19項之方法，其中該尾端識別碼包含有複數個位移模式，每一位移模式係分別對應至不同的N值，該方法另包含：依據該尾端識別碼，選定一位移模式及對應之N值。

22. 一種用來處理至少一筆數位資料的數位訊號處理器(Digital Signal Processor)，該至少一筆數位資料分別具有複數個數值表示法，該複數個數值表示法至少包含有一定點數表示法(Fixed Point Representation)以及一跳躍式浮點數表示法(Jumping Floating Point representation)，該數位訊號處理器包含有：

一資料接收端，用來接收至少一筆低位元數數位資料；

一乘法電路(Multiplication Circuit)，電連於該資料接收端，用來將具有該定點數表示法之二低位元數數位資料相乘，產生一具有該定點數表示法之一高位元數數位資料，或者將具有該跳躍式浮點數表示法之二低位元數數位資料相乘，產生一具有該跳躍式浮點數表示法之一高位元數數位資料；

一萃取位移裝置(Extracting/Shifting Device)，電連於該乘法電路，用來將具有該跳躍式浮點數表示法之該高位元數數位資料轉換為具有該定點數表示法之一高位

六、申請專利範圍

元數數位資料；

一第一表示法轉換電路 (Representation Converter)，電連於該資料接收端，用來將具有該跳躍式浮點數表示法之一低位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料，或者將具有該定點數表示法之一低位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料；

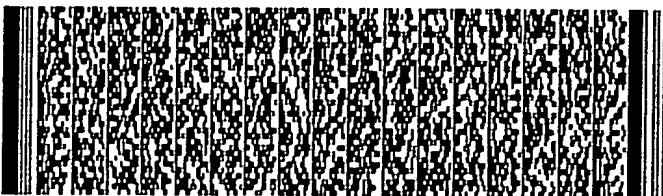
一選擇運算模組 (Multiplexing Arithmetic Module)，電連於該第一表示法轉換電路以及萃取位移裝置，用來執行選擇及運算之功能；

一儲存裝置 (Storage Instrument)，電連於該選擇運算模組，用來儲存經該選擇運算模組處理後之至少一筆數位資料；

一第二表示法轉換電路，電連於該儲存裝置，用來將具有該定點數表示法之一高位元數數位資料轉換為具有該跳躍式浮點數表示法之一低位元數數位資料；以及
一資料寫入端，用來將具有該跳躍式浮點數表示法之該低位元數數位資料寫入一記憶裝置 (Memory Device)。

23. 如申請專利範圍第22項之數位訊號處理器，其中每一數位資料係包含一標示位元 (Sign bit)。

24. 如申請專利範圍第23項之數位訊號處理器，其中每



六、申請專利範圍

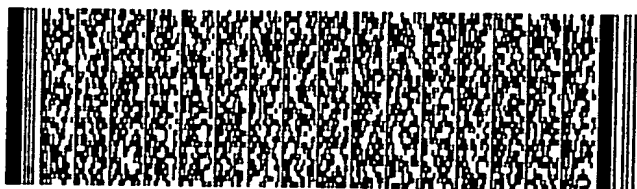
一 具有該跳躍式浮點數表示法之低位元數數位資料係另包含一尾端識別碼 (Tail Mark)。

25. 如申請專利範圍第 24 項之數位訊號處理器，其中該第一表示法轉換電路係依據具有該跳躍式浮點數表示法之該低位元數數位資料之該尾端識別碼及該標示位元，將具有該跳躍式浮點數表示法之該低位元數數位資料轉換為具有該定點數表示法之該高位元數數位資料。

26. 如申請專利範圍第 24 項之數位訊號處理器，其中該萃取位移裝置係依據該乘法電路中具有該跳躍式浮點數表示法之該二位元數數位資料之尾端識別碼，將具有該跳躍式浮點數表示法之該高位元數數位資料轉換為具有該定點數表示法之該高位元數數位資料。

27. 如申請專利範圍第 22 項之數位訊號處理器，其中該第二表示法轉換電路係依據該高位元數數位資料之絕對值大小，將具有該定點數表示法之該高位元數數位資料放大位移 (Magnifying Shift) N 位元，並捨棄預定數目之位元數，再設置一尾端識別碼 (Tail Mark)，以產生具有該跳躍式浮點數表示法之該低位元數數位資料，其中 N 係為大於或等於零之整數。

28. 如申請專利範圍第 27 項之數位訊號處理器，其中 N 的



六、申請專利範圍

值係隨著該高位元數數位資料之絕對值大小而變動，當該高位元數數位資料之絕對值愈大， N 的值係愈小；當該高位元數數位資料之絕對值愈小， N 的值係愈大。

29. 如申請專利範圍第22項之數位訊號處理器，其中該萃取位移裝置、該第一表示法轉換電路、以及該第二表示法轉換電路係連接於至少一啟動控制訊號(Enabling Control Signal)，用來分別判斷是否啟動該萃取位移裝置，該第一表示法轉換電路、以及該第二表示法轉換電路。

30. 如申請專利範圍第29項之數位訊號處理器，其中當該啟動控制訊號啟動該第一表示法轉換電路時，該第一表示法轉換電路係將具有該跳躍式浮點數表示法之該低位元數數位資料轉換為具有該定點數表示法之該高位元數數位資料；當該啟動控制訊號不啟動該第一表示法轉換電路時，該第一表示法轉換電路係將具有該定點數表示法之該低位元數數位資料轉換為具有該跳躍式浮點數表示法之該高位元數數位資料。

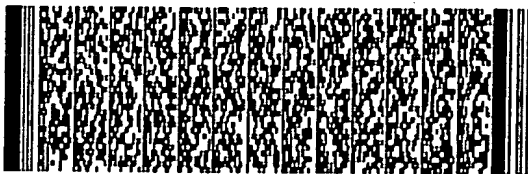
31. 如申請專利範圍第29項之數位訊號處理器，其中當該啟動控制訊號啟動該第二表示法轉換電路時，該第二表示法轉換電路係將具有該定點數表示法之該高位元數數位資料轉換為具有該跳躍式浮點數表示法之該低位元

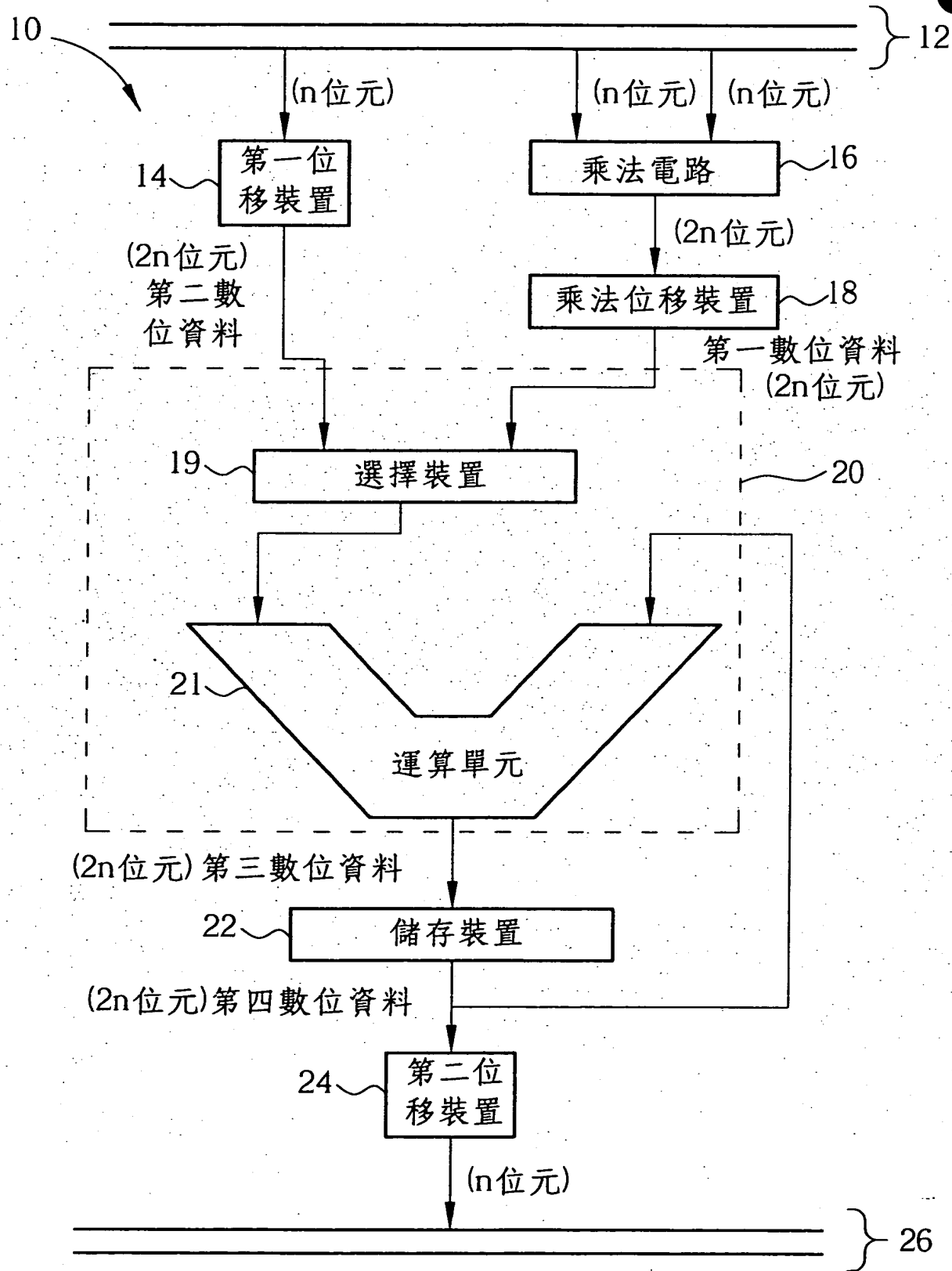
六、申請專利範圍

數數位資料；當該啟動控制訊號不啟動該第二表示法轉換電路時，該第二表示法轉換電路係將具有該定點數表示法之該高位元數數位資料轉換為具有該定點數表示法之該低位元數數位資料。

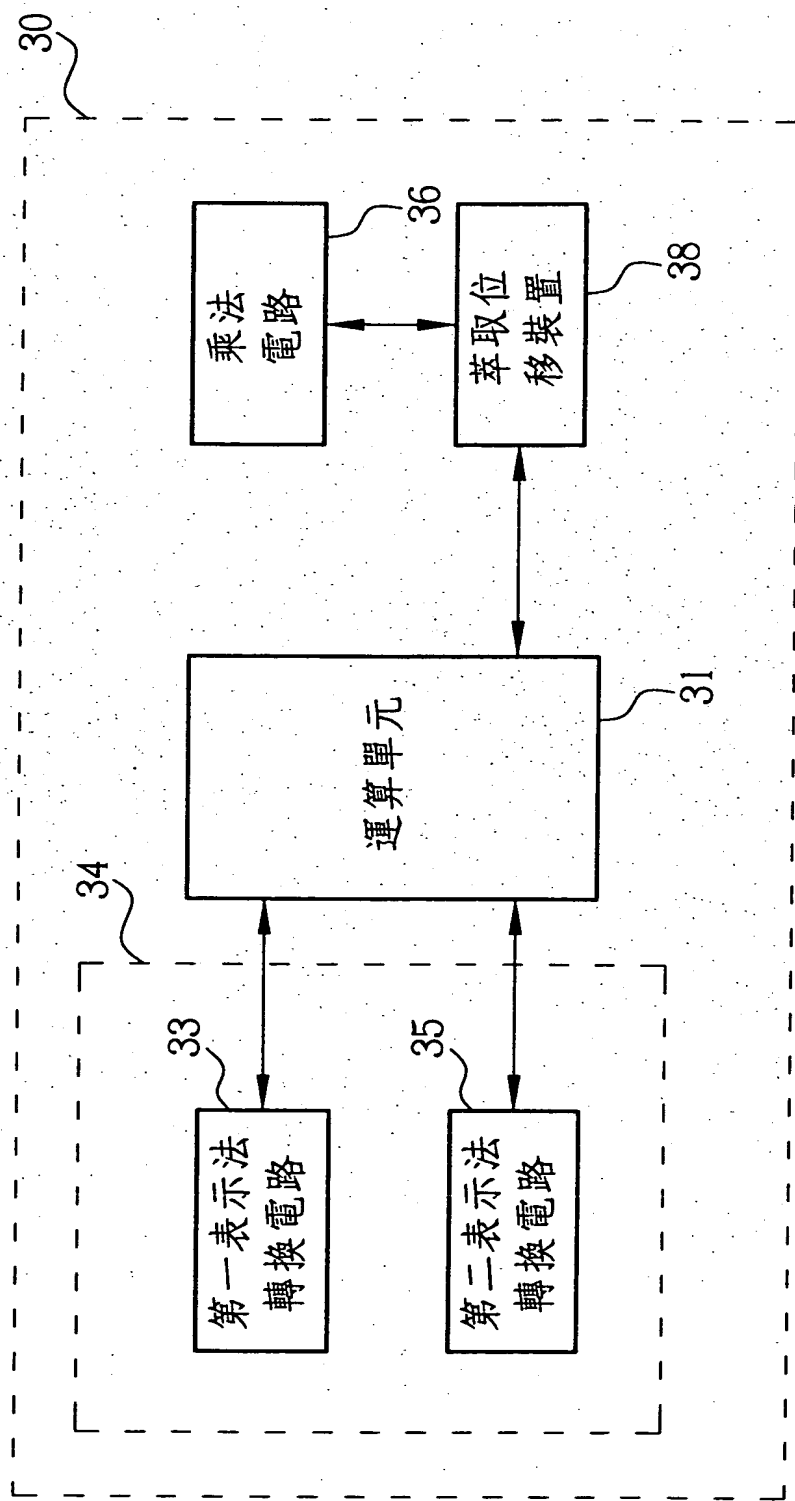
32. 如申請專利範圍第22項之數位訊號處理器，其中該選擇運算模組係用來選擇及運算至少一筆具有該定點數表示法之高位元數數位資料。

33. 如申請專利範圍第22項之數位訊號處理器，其中該複數個數值表示法另包含有一整數表示法(Integer Representation)。



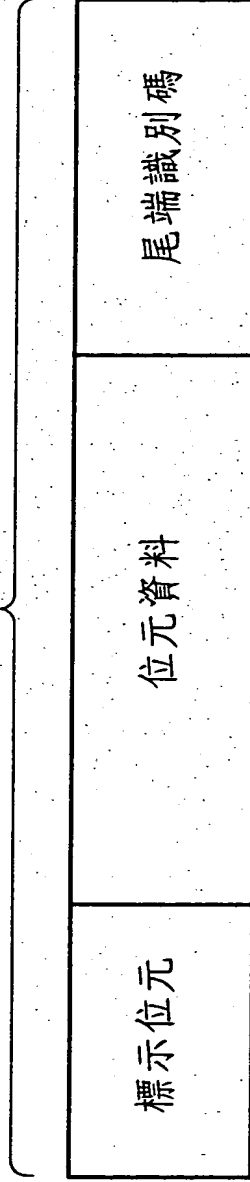


圖一



圖二

數位資料DA



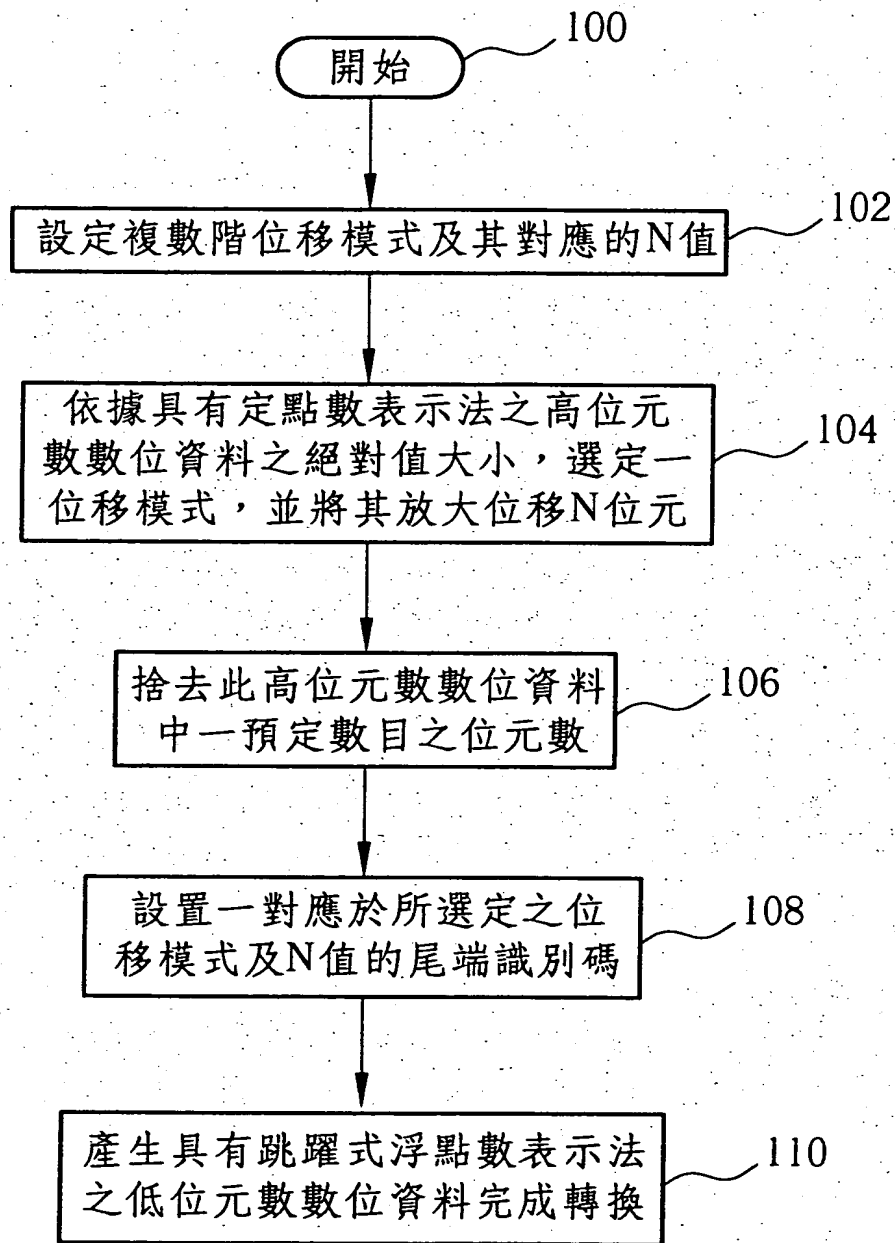
圖三

位移模式	位元23	位元23...位元3	位元2	位元1	位元0	說 明
第零階S0	標示位元	位元資料	資料位元	資料位元	1	(註1) 無放大位移
第一階S1	標示位元	位元資料	資料位元	1	0	(註2) 放大位移4位元
第二階S2	標示位元	位元資料	1	0	0	(註3) 放大位移8位元
第三階S3	標示位元	位元資料	0	0	0	(註4) 放大位移12位元
註1：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^0 倍後的結果						
註2：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^4 倍後的結果						
註3：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^8 倍後的結果						
註4：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^{12} 倍後的結果						

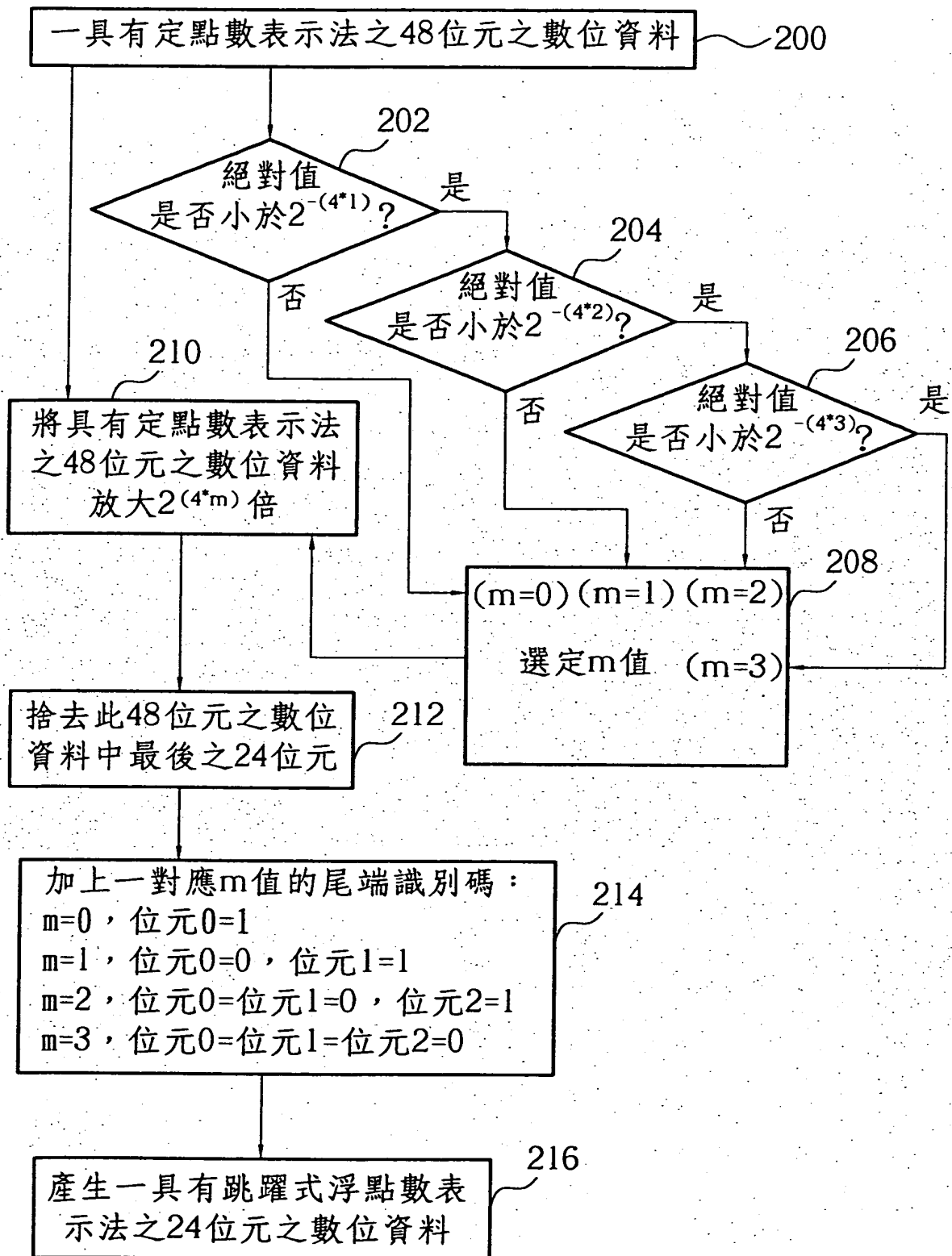
圖四

位移模式	位元23	位元23...位元3	位元2	位元1	位元0	說 明
第零階N0	標示位元	位元資料	資料位元	資料位元	1	無放大位移
第一階N1	標示位元	位元資料	資料位元	1	0	放大位移3位元
第二階N2	標示位元	位元資料	1	0	0	放大位移7位元
第三階N3	標示位元	位元資料	0	0	0	放大位移12位元

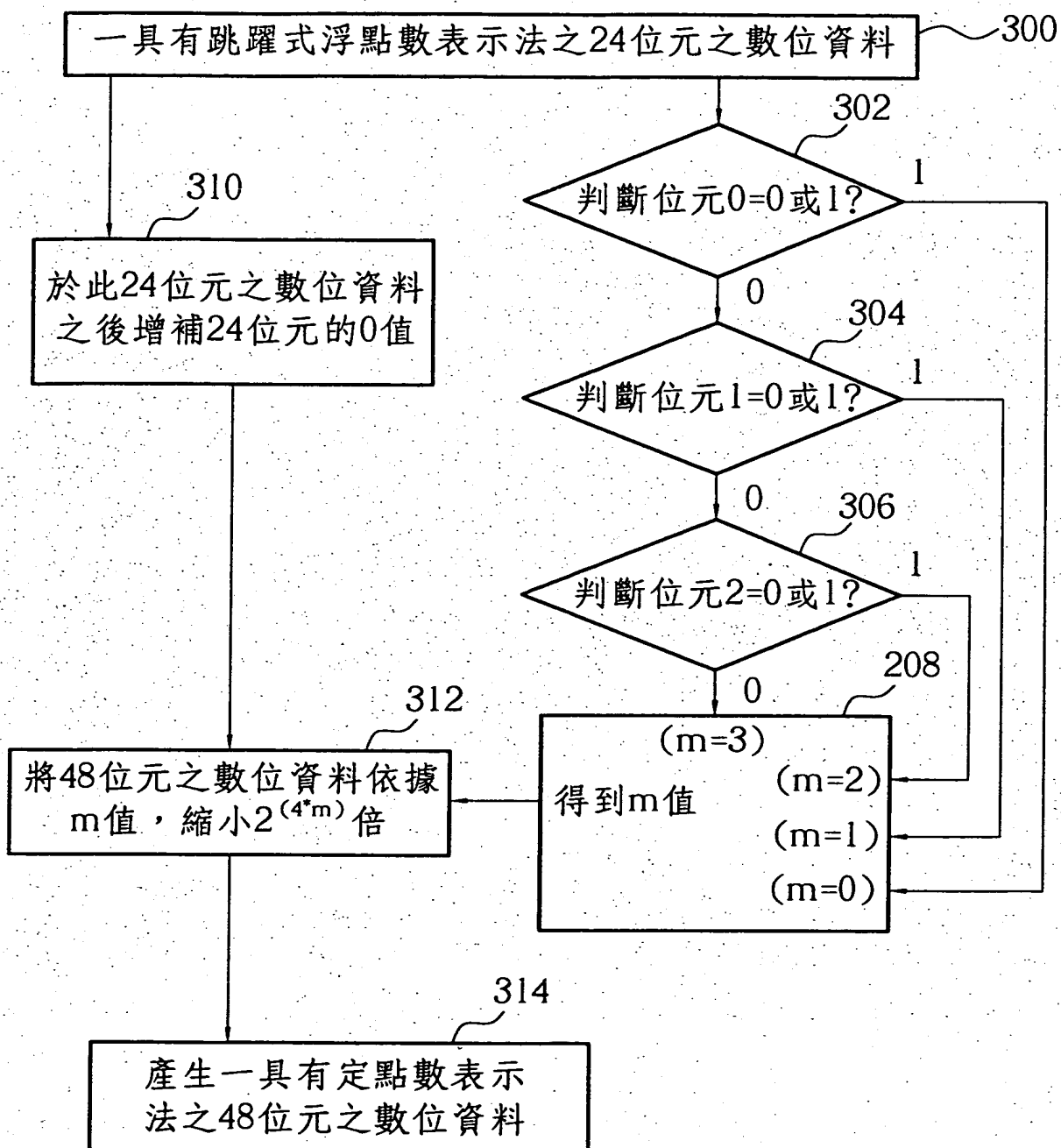
圖五



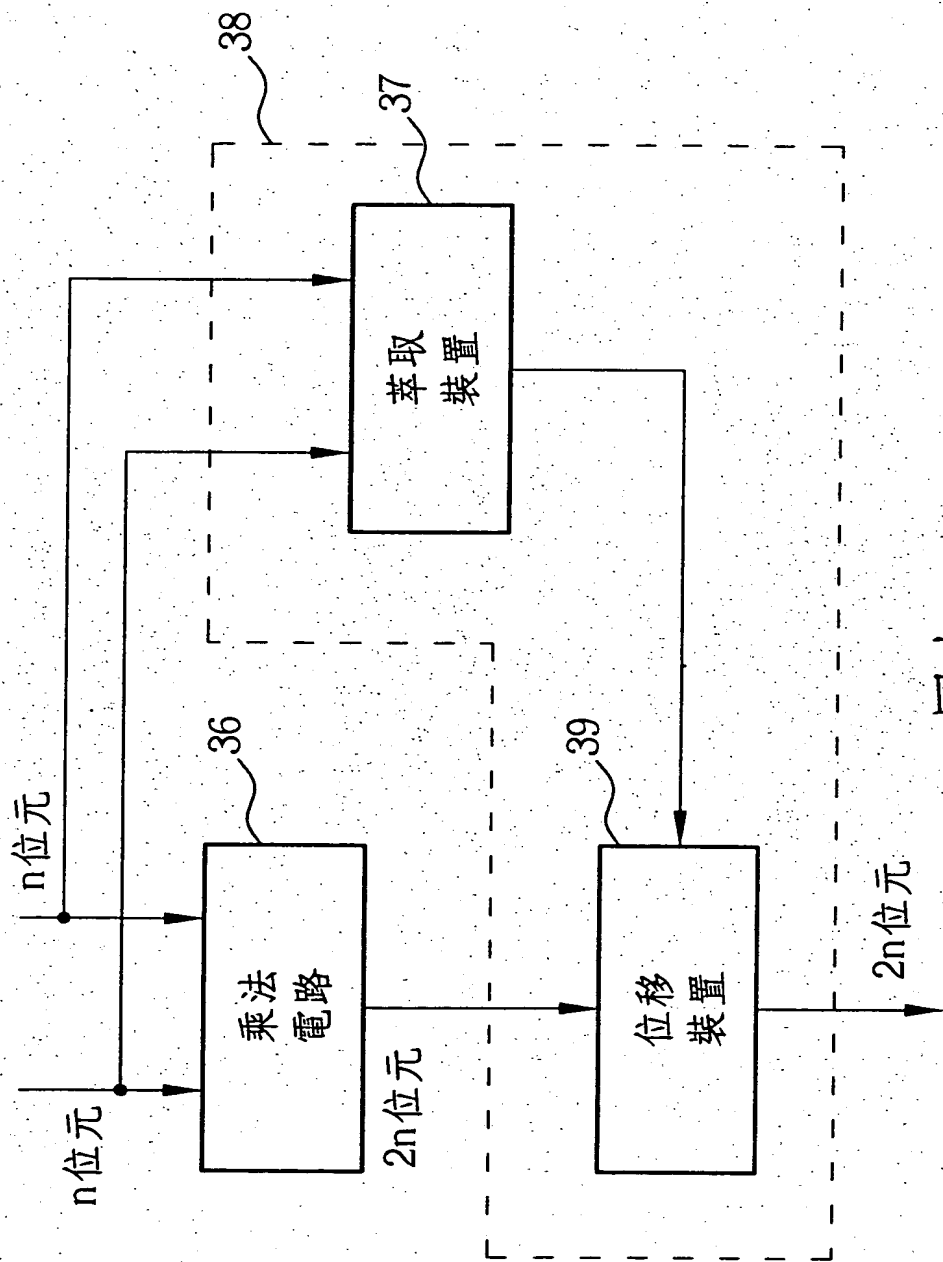
圖六



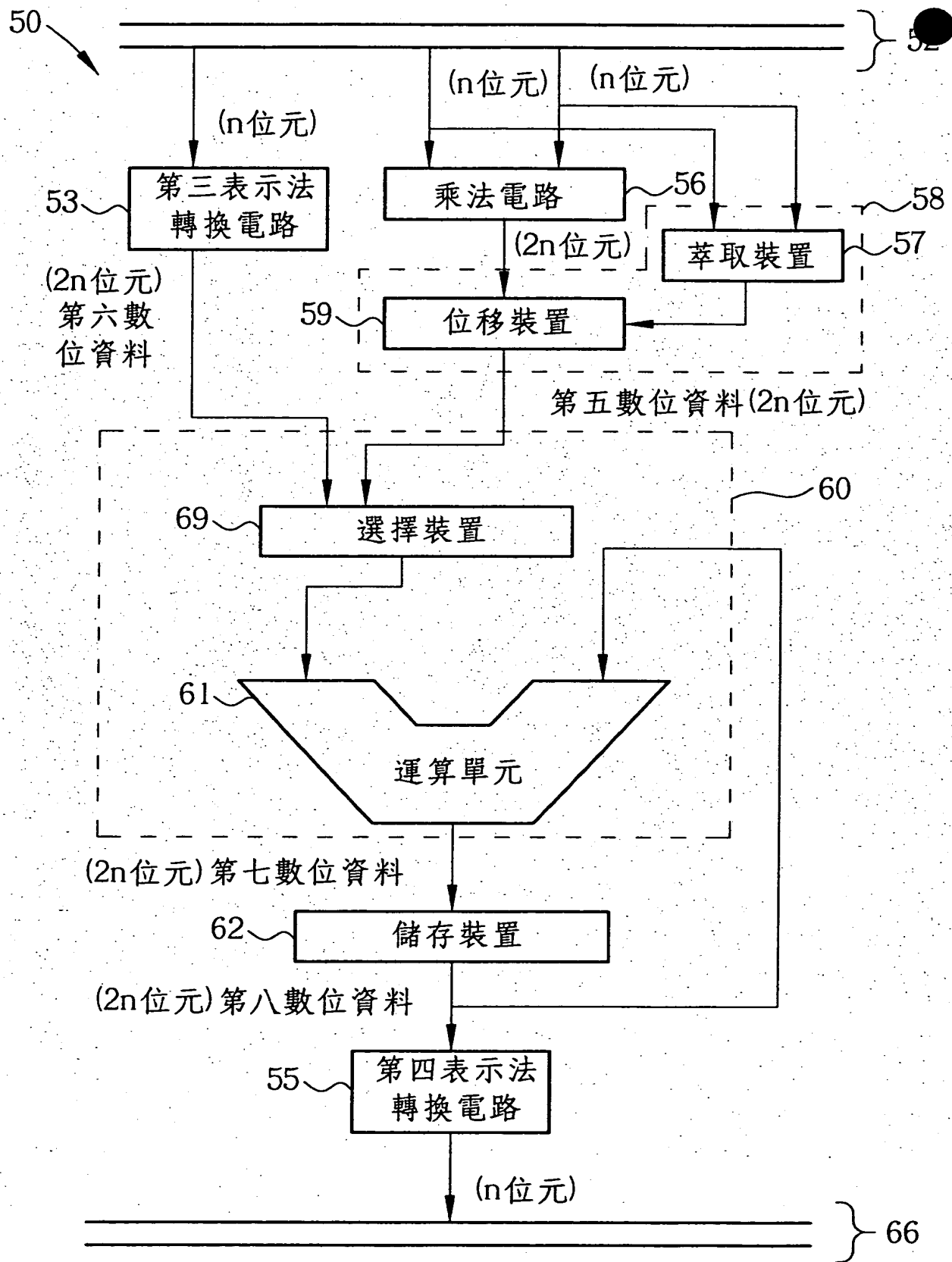
圖七



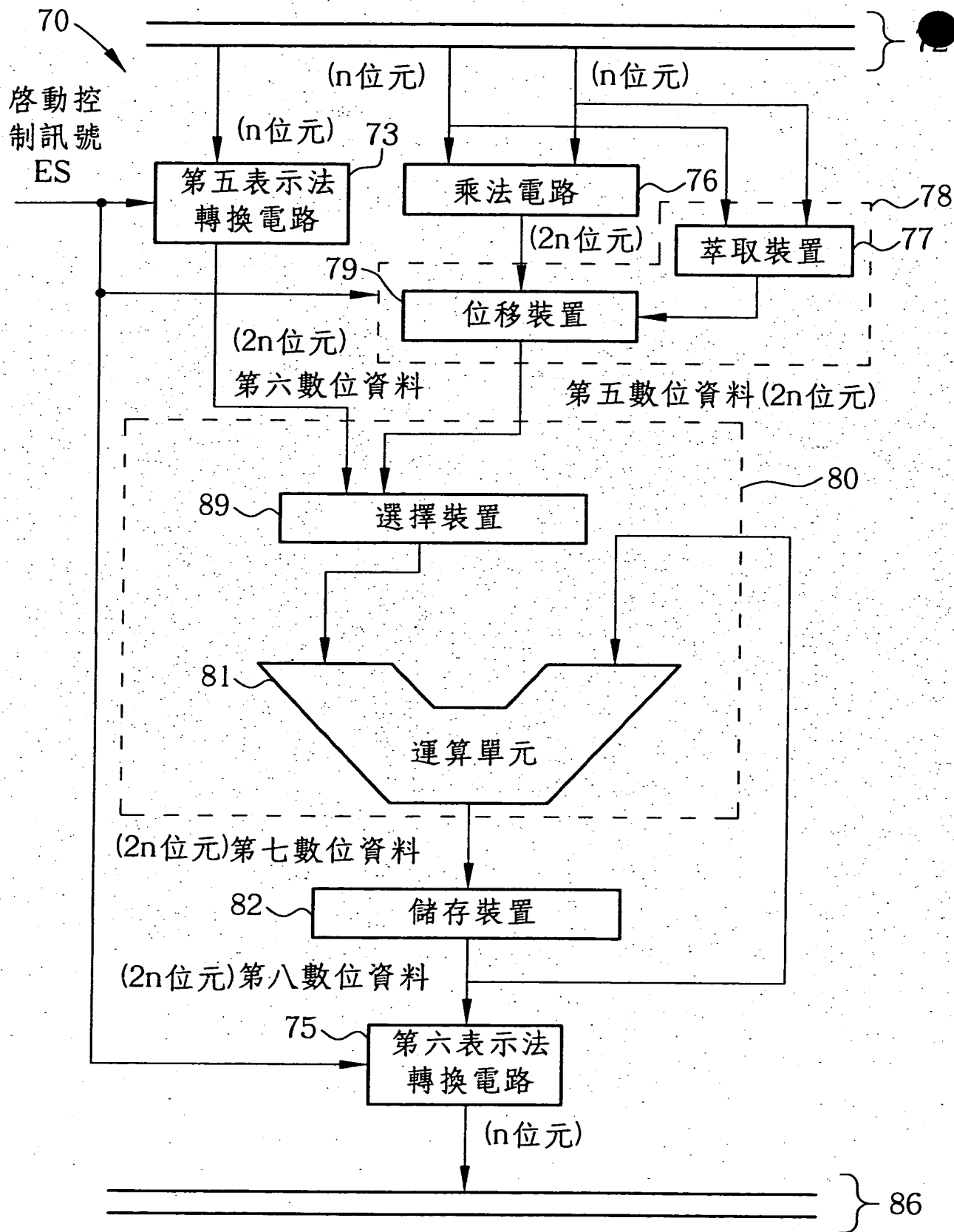
圖八



圖九



圖十

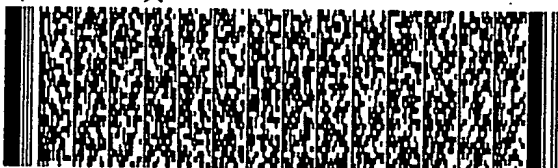


圖十一

第 1/49 頁



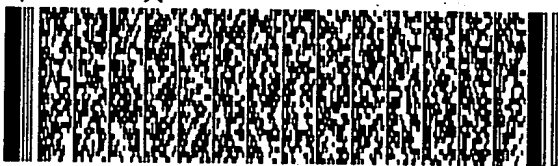
第 1/49 頁



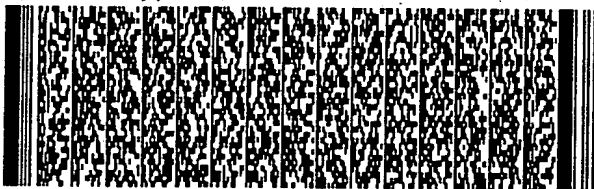
第 2/49 頁



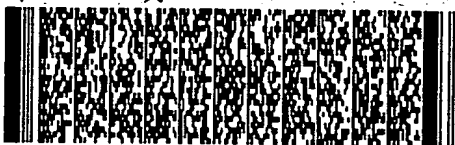
第 2/49 頁



第 3/49 頁



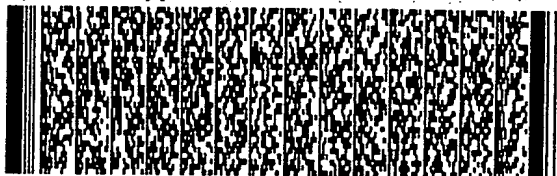
第 4/49 頁



第 5/49 頁



第 6/49 頁



第 6/49 頁



第 7/49 頁



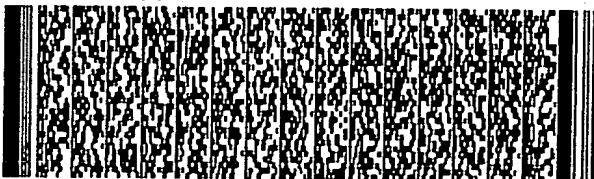
第 7/49 頁



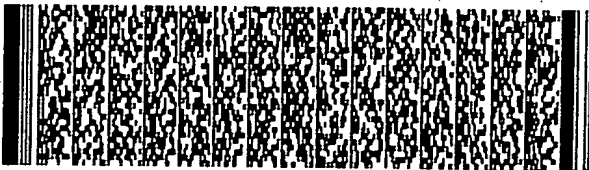
第 8/49 頁



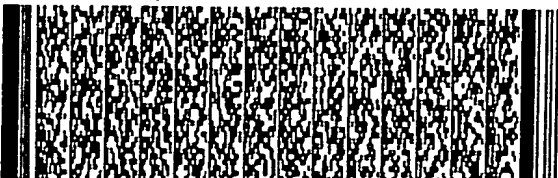
第 8/49 頁



第 9/49 頁



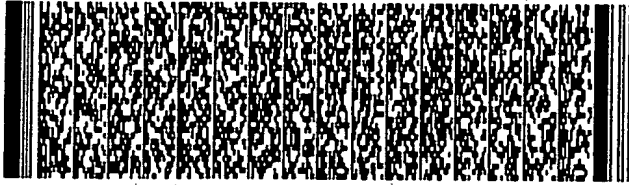
第 9/49 頁



第 10/49 頁



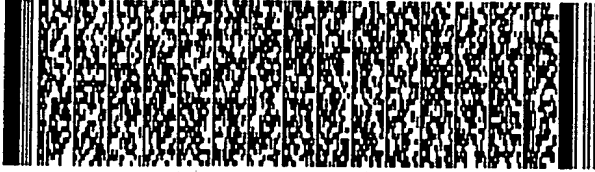
第 10/49 頁



第 11/49 頁



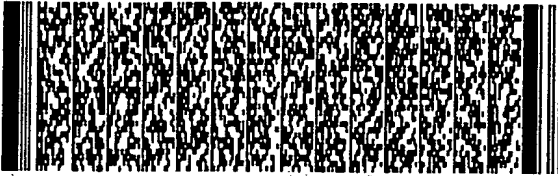
第 11/49 頁



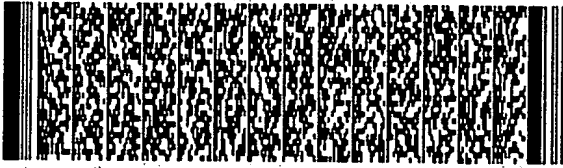
第 12/49 頁



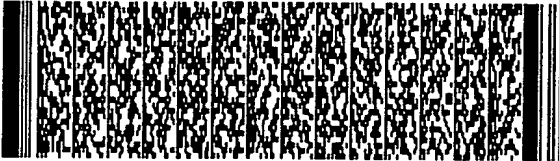
第 12/49 頁



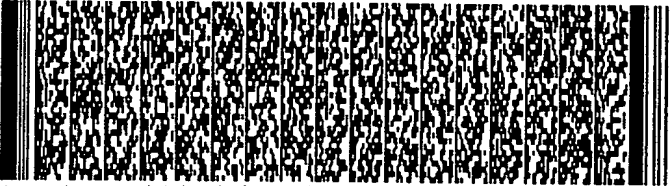
第 13/49 頁



第 13/49 頁



第 14/49 頁



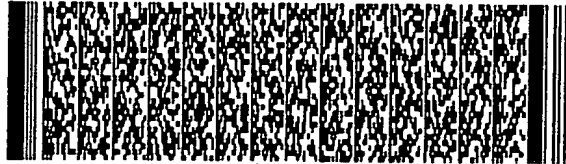
第 15/49 頁



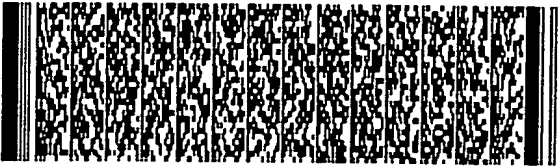
第 15/49 頁



第 16/49 頁



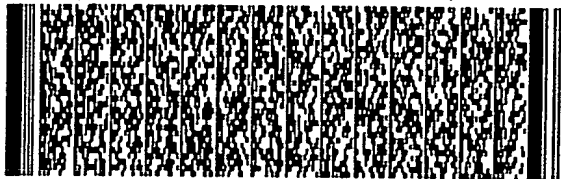
第 16/49 頁



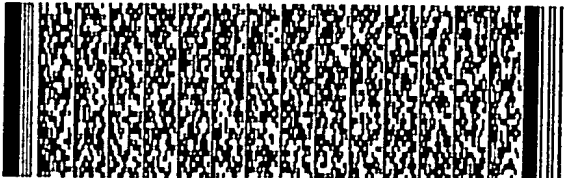
第 17/49 頁



第 17/49 頁



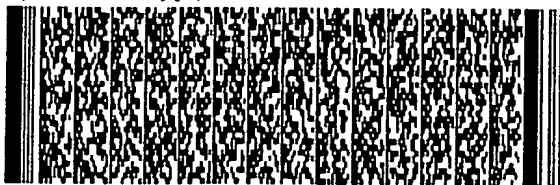
第 18/49 頁



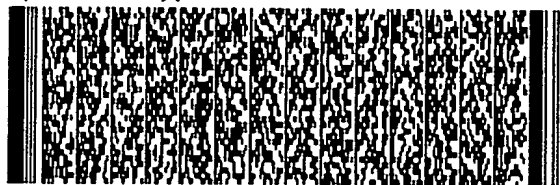
第 18/49 頁



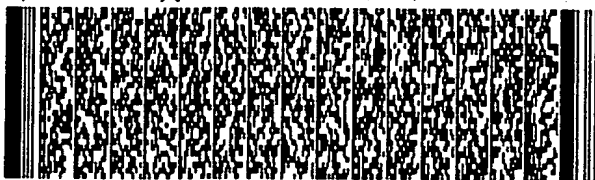
第 19/49 頁



第 19/49 頁



第 20/49 頁



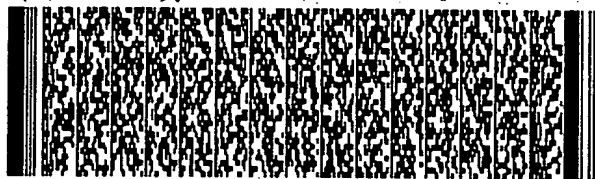
第 20/49 頁



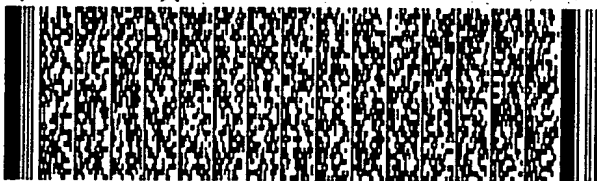
第 21/49 頁



第 21/49 頁



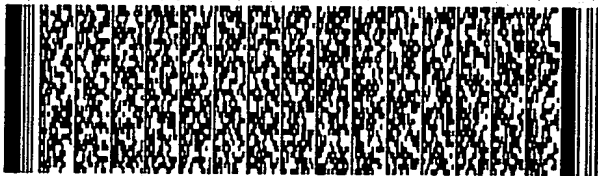
第 22/49 頁



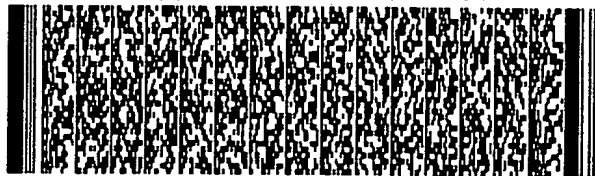
第 22/49 頁



第 23/49 頁



第 23/49 頁



第 24/49 頁



第 24/49 頁



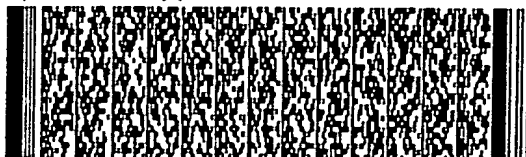
第 25/49 頁



第 25/49 頁



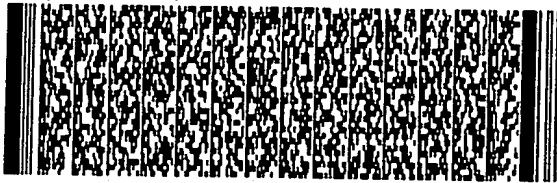
第 26/49 頁



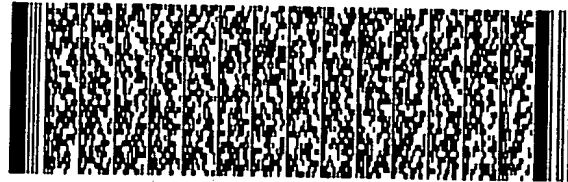
第 26/49 頁



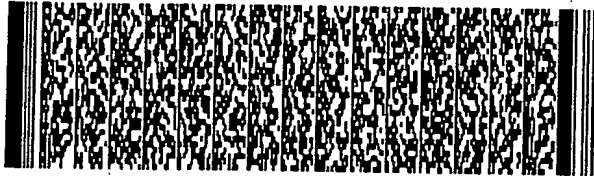
第 27/49 頁



第 27/49 頁



第 28/49 頁



第 28/49 頁



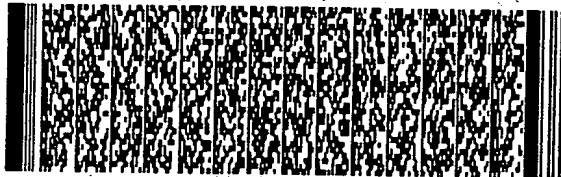
第 29/49 頁



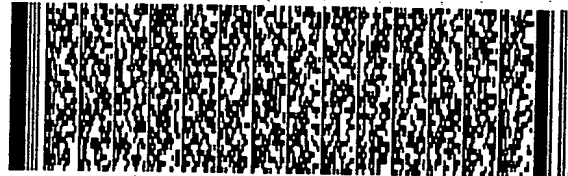
第 29/49 頁



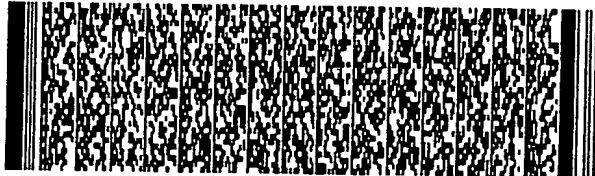
第 30/49 頁



第 30/49 頁



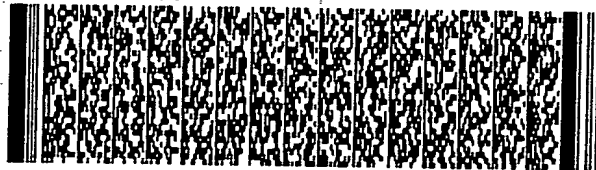
第 31/49 頁



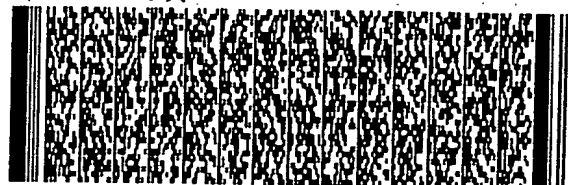
第 31/49 頁



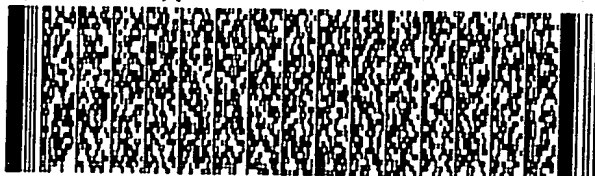
第 32/49 頁



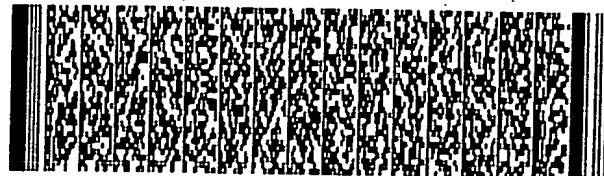
第 32/49 頁



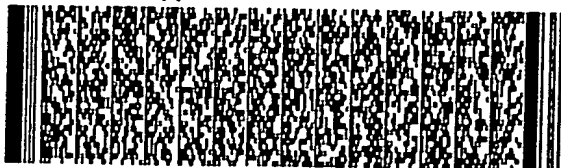
第 33/49 頁



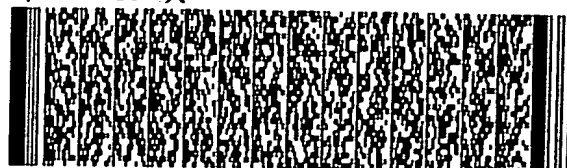
第 33/49 頁



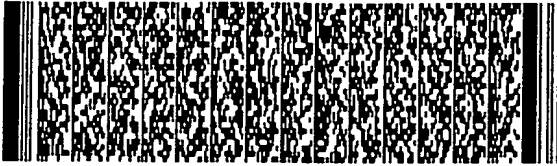
第 34/49 頁



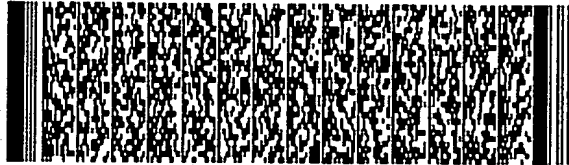
第 34/49 頁



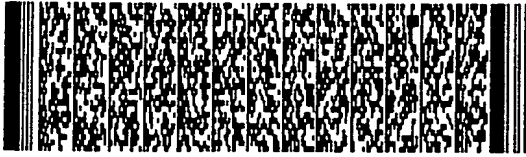
第 35/49 頁



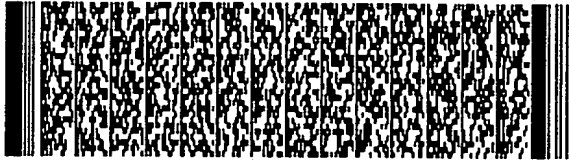
第 35/49 頁



第 36/49 頁



第 37/49 頁



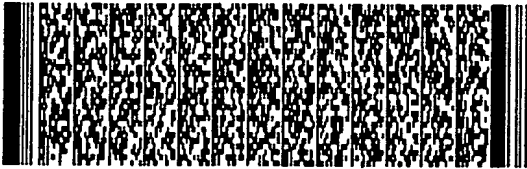
第 38/49 頁



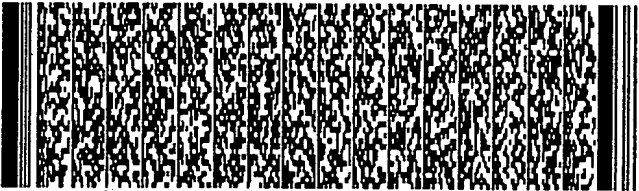
第 39/49 頁



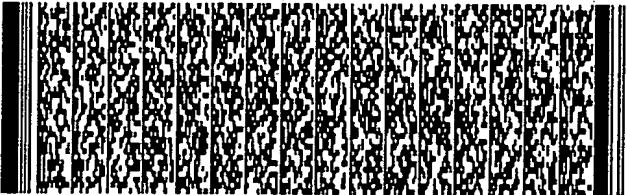
第 39/49 頁



第 40/49 頁



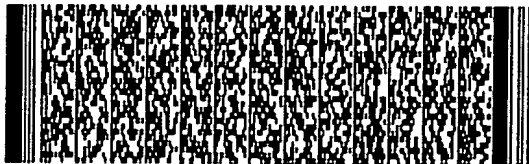
第 41/49 頁



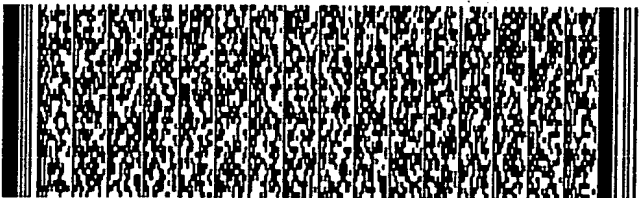
第 42/49 頁



第 42/49 頁



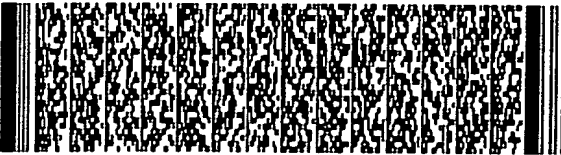
第 43/49 頁



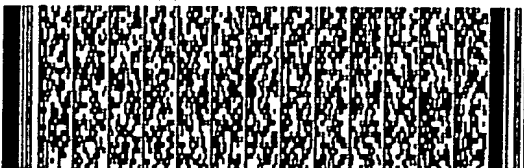
第 44/49 頁



第 44/49 頁



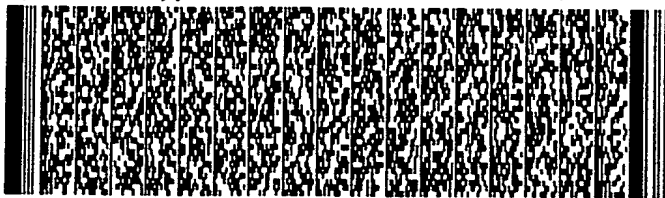
第 45/49 頁



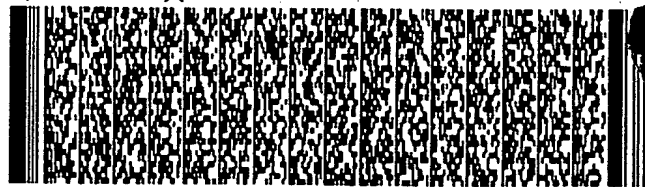
第 45/49 頁



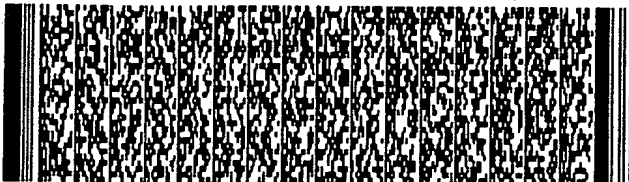
第 46/49 頁



第 47/49 頁



第 48/49 頁



第 49/49 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** Bar Code

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.